

Docket No. PF-2944/NEC/US/mh

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re patent application of

Toru MORI, et al.

Serial No.: 10/085,116

Filing Date: March 1, 2002

For: STACKED CAPACITOR AND METHOD OF FORMING THE SAME
AS WELL AS SEMICONDUCTOR DEVICE USING THE SAME AND
CIRCUIT BOARD USING THE SAME

Assistant Commissioner of Patents
Washington, D.C. 20231



Group Art Unit: 2812

Examiner: Unknown

RECEIVED
APR 17 2002
TC-2000 MAIL ROOM

SUBMISSION OF PRIORITY DOCUMENT

Sir:

Submitted herewith is certified copy of Japanese Patent Application No. 2001-056950
filed March 1, 2001, upon which application the claim for priority is based.

Respectfully submitted,

Sean M. McGinn
Registration No. 34,386

Date: April 16, 2002
McGinn & Gibb, PLLC
Intellectual Property Law
8321 Old Courthouse Road, Suite 200
Vienna, VA 22182-3817
(703) 761-4100
Customer No. 21254

US

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 3月 1日

出 願 番 号

Application Number:

特願2001-056950

出 願 人

Applicant(s):

日本電気株式会社

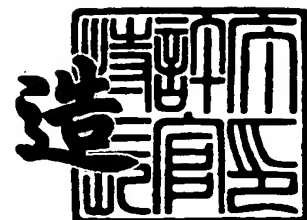


RECEIVED
APR 17 2002
TC 2800 MAIL ROOM

2001年11月 2日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3096870

【書類名】 特許願

【整理番号】 34601629

【提出日】 平成13年 3月 1日

【あて先】 特許庁長官 殿

【国際特許分類】 H01G 4/12
H01L 21/00

【発明の名称】 積層コンデンサとその製造方法およびこのコンデンサを用いた半導体装置、電子回路基板

【請求項の数】 13

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 森 透

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 山崎 隆雄

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 中瀬 康一郎

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100108578

 【弁理士】

 【氏名又は名称】 高橋 詔男

【代理人】

 【識別番号】 100064908

 【弁理士】

 【氏名又は名称】 志賀 正武

【選任した代理人】

【識別番号】 100101465

【弁理士】

【氏名又は名称】 青山 正和

【選任した代理人】

【識別番号】 100108453

【弁理士】

【氏名又は名称】 村山 靖彦

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709418

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 積層コンデンサとその製造方法およびこのコンデンサを用いた半導体装置、電子回路基板

【特許請求の範囲】

【請求項 1】 誘電体と内部電極とが交互に積層されて一体化された積層コンデンサにおいて、

外部に接続する複数の端子電極が上面および底面のそれぞれに設けられ、前記上面および底面の各面上の前記複数の端子電極が平面視して 2 次元的に配列されており、前記内部電極は、L S I の電源に電氣的に接続される内部電極と L S I のグランドに電氣的に接続される内部電極とが交互に設けられ、かつ L S I の電源に電氣的に接続される内部電極にビア電極を介して電氣的に接続された前記端子電極と、L S I のグランドに電氣的に接続される内部電極にビア電極を介して電氣的に接続された前記端子電極とが前記各面上に配列されていることを特徴とする積層コンデンサ。

【請求項 2】 誘電体と内部電極とが交互に積層されて一体化された積層コンデンサにおいて、

外部に接続する複数の端子電極が上面および底面のいずれか一方に設けられ、前記複数の端子電極が平面視して 2 次元的に配列されており、前記内部電極は、L S I の電源に電氣的に接続される内部電極と L S I のグランドに電氣的に接続される内部電極とが交互に設けられ、かつ L S I の電源に電氣的に接続される内部電極にビア電極を介して電氣的に接続された前記端子電極と、L S I のグランドに電氣的に接続される内部電極にビア電極を介して電氣的に接続された前記端子電極とが前記各面上に配列されていることを特徴とする積層コンデンサ。

【請求項 3】 請求項 1 または 2 に記載の積層コンデンサにおいて、

L S I の電源に電氣的に接続される内部電極にビア電極を介して電氣的に接続された前記端子電極と、L S I のグランドに電氣的に接続される内部電極にビア電極を介して電氣的に接続された前記端子電極とが一方向に隣接して配列されていることを特徴とする積層コンデンサ。

【請求項 4】 請求項 1 ないし 3 のいずれか一項に記載の積層コンデンサに

において、

L S I の信号線と電氣的に接続される端子電極に接続されるビア電極が、コンデンサ内部において前記内部電極と導電体を介して接続されない構造を有することを特徴とする積層コンデンサ。

【請求項 5】 請求項 4 に記載の積層コンデンサにおいて、

L S I の信号線と電氣的に接続される端子電極に接続されるビア電極が、コンデンサ内部において前記内部電極および前記誘電体との間に空隙を介していることを特徴とする積層コンデンサ。

【請求項 6】 請求項 4 に記載の積層コンデンサにおいて、

L S I の信号線と電氣的に接続される端子電極に接続されるビア電極が、コンデンサ内部において前記内部電極および前記誘電体との間に比誘電率が 4 0 以下の有機材料または無機材料からなる低誘電率相を介していることを特徴とする積層コンデンサ。

【請求項 7】 請求項 1 ないし 6 のいずれか一項に記載の積層コンデンサにおいて、

前記端子電極に半田バンプが実装されたことを特徴とする積層コンデンサ。

【請求項 8】 請求項 1 ないし 7 のいずれか一項に記載の積層コンデンサにおいて、

前記誘電体の材料がペロブスカイト構造を有する化合物からなることを特徴とする積層コンデンサ。

【請求項 9】 請求項 6 に記載の積層コンデンサの製造方法であって、

ガラス成分をメタル成分に対して 0. 0 5 w t % 以上含有するペーストを前記ビア電極の材料に用い、かつ 9 0 0 ℃ 以上の焼成工程を施すことによって前記ビア電極と前記内部電極および前記誘電体との間に比誘電率が 4 0 以下の低誘電率相を形成することを特徴とする積層コンデンサの製造方法。

【請求項 1 0】 請求項 6 に記載の積層コンデンサの製造方法であって、

金属酸化物成分をメタル成分に対して 0. 0 5 w t % 以上含有するペーストを前記ビア電極の材料に用い、かつ 9 0 0 ℃ 以上の焼成工程を施すことによって前記ビア電極と前記誘電体との間に比誘電率が 4 0 以下の低誘電率相を形成するこ

とを特徴とする積層コンデンサの製造方法。

【請求項 1 1】 請求項 1、請求項 3 ないし 8 のいずれか一項に記載の積層コンデンサを、L S I もしくは L S I を搭載したパッケージと前記端子電極を介して電氣的に接続したことを特徴とする半導体装置。

【請求項 1 2】 請求項 1、請求項 3 ないし 8 のいずれか一項に記載の積層コンデンサを、L S I もしくは L S I を搭載したパッケージと前記 L S I もしくは前記 L S I を搭載したパッケージを実装する基板との間に実装することによって、前記積層コンデンサを L S I の負荷変動の際に生じる電圧降下を補償するデカップリングコンデンサとして L S I のベアチップの電源とグランドに電氣的に接続したことを特徴とする電子回路基板。

【請求項 1 3】 請求項 1 ないし請求項 8 のいずれか一項に記載の積層コンデンサを、L S I もしくは L S I を搭載したパッケージを実装した基板において該 L S I もしくはパッケージと反対の面に実装することによって前記積層コンデンサを L S I の負荷変動の際に生じる電圧降下を補償するデカップリングコンデンサとして用いたことを特徴とする電子回路基板。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、高速動作する L S I の周辺あるいは L S I と回路基板の間に配置され、L S I の負荷変動の際に生じる電圧降下を補償するデカップリングコンデンサ用として単位実装面積あたりの容量が高い積層コンデンサおよび該積層コンデンサを用いた半導体装置に関するものである。

【0 0 0 2】

【従来の技術】

L S I から高速に変化するクロック信号が発生すると、電源と L S I の間の配線に存在する抵抗 R とインダクタンス L によって (1) 式に相当する電圧降下 ΔV が生じる。

$$\Delta V = R \times \Delta i + L \times di / dt \quad \cdots (1)$$

【0 0 0 3】

したがって、配線のR、L、負荷変動 d_i が大きいほど、および変動時間 d_t が小さいほど電圧降下 ΔV が増加する。近年、LSIのクロック周波数が数百MHzを越えるような高速になってきている。デジタル回路におけるパルス波形の立ち上がり時間 t_r が、すなわち負荷の変動時間 d_t と等価になる。クロック周波数が早くなるほど立ち上がり時間 t_r が短くなるため、電圧降下 ΔV は大きくなる。

【0004】

このような電圧降下を小さくするためには、LSIに対して並列にコンデンサを接続することが有効である。このコンデンサを一般にデカップリングコンデンサと称する。LSIのクロック周波数が速くなると、負荷変動の際に一時的に降下した電圧を電源から補償するのは間に合わなくなるため、LSIの近くにデカップリングコンデンサから電荷を供給することによってLSIの電圧降下を補償する。

【0005】

デカップリングコンデンサの自己インダクタンスおよび内部抵抗が零と仮定すると、コンデンサが蓄えている電荷 $Q (=C \times V)$ を負荷変動と同時にLSIに供給することが可能になって、LSIの電圧変動を零にすることができる。しかし、現実にはコンデンサに自己インダクタンス L が存在するために、ある周波数でLC共振が発生し、それ以上の周波数においてはコンデンサとして有効に機能しなくなる。したがって、LSIのクロック周波数が高くなると同時にデカップリングコンデンサのLC共振周波数 f を高くする必要がある。LC共振周波数 f は(2)式で表される。

$$f^2 = 1 / (4 \times \pi^2 \times L \times C) \quad \dots (2)$$

【0006】

したがって、 C が小さくかつ L が小さいコンデンサをデカップリングコンデンサとして選択する必要がある。デカップリングコンデンサとしては、高周波でのインピーダンスが小さい、 $0.1 \mu F$ ないしそれ以下の容量を有する積層セラミックコンデンサがよく用いられてきた。積層セラミックコンデンサは電解コンデンサと比較してESR（等価直列抵抗）が小さいだけでなく、自己インダクタ

ンスが小さいという利点があるためである。従来、LSIの電圧降下を補償するためのデカップリングコンデンサとしてよく用いられていた積層セラミックコンデンサを例にとると、容量 $C = 0.01 \mu\text{F}$ 、自己インダクタンス $L = 0.4 \text{ nH}$ であった。このコンデンサの共振周波数 f は、 $(2\pi f)^2 \times L \times C = 1$ という関係式を用いると、約80MHzとなる。

【0007】

コンデンサの自己インダクタンス L を低減させる技術として、例えば「日経エレクトロニクス」1999.4.19号、P144～156に記載されているように、誘電体厚さが薄くなるのにしたがって自己インダクタンスが小さくなることが知られている。このことから、薄膜コンデンサを用いた半導体装置に関する発明がいくつか報告されている。例えば特開平11-45822号、特開平8-97360号などである。

【0008】

また、特開平7-326536号、特開平8-17675号には、チップ型積層セラミックコンデンサの自己インダクタンスを低くするために、内部電極の短辺 A と長辺 B の長さの比率 A/B を0.5以下に限定し、内部電極の上下をビアで接続し、かつ該チップ型積層セラミックコンデンサの底面の中央部に列状に基板用電極を設ける技術が開示されている。

【0009】

さらに、特開平7-37757号、特開平6-314634号には、高密度実装に対応し、かつ隣接するコンデンサユニット間の浮遊容量による悪影響を防止したコンデンサアレイ、特開平6-283384号にはICの狭ピッチ化に対応したコンデンサアレイ、および特開平11-97291号には隣接する電気機能素子間の電磁氣的干渉が少ないコンデンサアレイに関する技術がそれぞれ開示されている。

【0010】

【発明が解決しようとする課題】

近年、LSIは高速化にともなって電流が大きくなってきている。ここで、スイッチング周波数が100MHz、最大消費電力4A、電源電圧3.3VのLS

I (A) と、500MHz、最大消費電力を18A、電源電圧1.8V、LSI (B) を仮定する。デカップリングコンデンサで1クロックの間に生じる電圧降下 ΔV を補償するために必要な容量を計算してみる。電流の立ち上がり時間 t_r はクロック周波数を f としたときに、近似的に(3)式で表されると仮定する。

$$t_r = 1 / 4f \quad \dots (3)$$

【0011】

電源電圧の降下分を補うためには、 $\Delta Q = C \times \Delta V = I \times t_r$ という関係式から、必要な容量 C は、LSI (A) においては $4A \times (0.35 / (1 \times 10^8 \text{ s})) / (3.3V \times 5\%) = 0.085 \mu\text{F}$ 、LSI (B) においては $18A \times (0.35 / (0.5 \times 10^9 \text{ s})) / (1.8V \times 5\%) = 0.14 \mu\text{F}$ となる。つまり、LSIのクロック周波数が速くなりかつ消費電力も大きくなると、必要なデカップリングコンデンサの容量が大きくなる。しかし、デカップリングコンデンサの自己インダクタンスが同じで容量だけが大きくなった場合、LC共振周波数 f は逆に低くなってしまう。

【0012】

したがって、LSIの負荷変動補償用のデカップリングコンデンサに用いるコンデンサには、コンデンサそのものの自己インダクタンスが少しでも小さいものを使うと、LC共振周波数を高くすることができるため、より効果的である。

【0013】

しかしながら、特開平11-45822号、特開平8-97360号に示された薄膜コンデンサは高い比誘電率を有する誘電体を薄膜化させることから、低い自己インダクタンス、十分な容量および通常の積層セラミックコンデンサよりも高いLC共振周波数が得られるものの、基板への実装がやや困難であった。また、薄膜形成プロセスが高コストであるために、より安価な実現方法が求められてきた。

【0014】

また、特開平7-326536号、特開平8-17675号に示されたチップ型積層セラミックコンデンサも低い自己インダクタンスと低コストな製造プロセスからデカップリングコンデンサとして高い実用性が得られると思われるが、3

、2mm×1.6mmのチップ実装面積に対して基板に接続するための端子電極が一行に存在しているために、LSIの狭ピッチ化に対応した高密度実装基板に実装するには不利である。

【0015】

さらにコンデンサだけでなく、デカップリングコンデンサとLSIの間の配線にもインダクタンス成分が存在するために、それをできるだけ短くすることも重要な課題であるが、上記チップ型積層セラミックコンデンサには基板に接続する端子電極が底面の一端にしか設けられていないために、基板の厚さよりもさらにLSIとの距離を短くすることが物理的に困難であった。

【0016】

本発明は、上記の課題を解決するためになされたものであって、高速動作するLSIの周辺に配置され、LSIの負荷変動の際に生じる電圧降下を補償するデカップリングコンデンサとして機能することができ、十分な容量と小さな配線長込みのインダクタンスを有する積層コンデンサ、およびその製造方法、このコンデンサを用いた半導体装置、電子回路基板を提供することを目的とする。

【0017】

【課題を解決するための手段】

上記の目的を達成するために、本発明の第1の積層コンデンサは、自己インダクタンスを低減するために、誘電体と内部電極とが交互に積層されて一体化された積層コンデンサであって、外部に接続する複数の端子電極が上面および底面のそれぞれに設けられ、前記上面および底面の各面上の前記複数の端子電極が平面視して2次元的に配列されており、前記内部電極は、LSIの電源に電氣的に接続される内部電極とLSIのグランドに電氣的に接続される内部電極とが交互に設けられ、かつLSIの電源に電氣的に接続される内部電極にビア電極を介して電氣的に接続された前記端子電極と、LSIのグランドに電氣的に接続される内部電極にビア電極を介して電氣的に接続された前記端子電極とが前記各面上に配列されていることを特徴とする。

【0018】

本発明において、「前記複数の端子電極が平面視して2次元的に配列されてい

る」という意味は、複数の端子電極が直線状に配列されているのではなく、例えば m 行 \times n 列のマトリックス状、千鳥状、あるいは半導体パッケージの入出力端子に対応した任意の平面状の配列をなしていることを言う。

【 0 0 1 9 】

本発明の第2の積層コンデンサは、外部に接続する複数の端子電極が上面および底面のいずれか一方に設けられ、前記複数の端子電極が平面視して2次元的に配列されており、前記内部電極は、LSIの電源に電氣的に接続される内部電極とLSIのグランドに電氣的に接続される内部電極とが交互に設けられ、かつLSIの電源に電氣的に接続される内部電極にビア電極を介して電氣的に接続された前記端子電極と、LSIのグランドに電氣的に接続される内部電極にビア電極を介して電氣的に接続された前記端子電極とが前記各面上に配列されていることを特徴とする。

【 0 0 2 0 】

また、上記本発明の積層コンデンサにおいて、LSIの電源に電氣的に接続される内部電極にビア電極を介して電氣的に接続された前記端子電極と、LSIのグランドに電氣的に接続される内部電極にビア電極を介して電氣的に接続された前記端子電極とを一方向に隣接して配列することが望ましい。

【 0 0 2 1 】

また、上記本発明の積層コンデンサにおいて、LSIの信号線と電氣的に接続される端子電極に接続されるビア電極が、コンデンサ内部において前記内部電極と導電体を介して接続されない構造を有することを特徴とする。具体的には、LSIの信号線と電氣的に接続される端子電極に接続されるビア電極が、コンデンサ内部において前記内部電極および前記誘電体との間に空隙を介する構造を採用することができる。もしくは、LSIの信号線と電氣的に接続される端子電極に接続されるビア電極が、コンデンサ内部において前記内部電極および前記誘電体との間に比誘電率が40以下の有機材料または無機材料からなる低誘電率相を介する構造を採用することができる。

【 0 0 2 2 】

また、上記本発明の積層コンデンサにおいて、基板上にフリップチップ実装す

るための半田バンプが前記端子電極に実装されていてもよい。また、前記誘電体の材料としてはペロブスカイト構造を有する化合物を用いることができる。

【 0 0 2 3 】

上記本発明の積層コンデンサのうち、ビア電極と誘電体の間に比誘電率が 4 0 以下の低誘電率相がある積層コンデンサの製造方法は、ガラス成分をメタル成分に対して 0. 0 5 w t % 以上含有する電極ペーストをビア電極に用い、かつ 9 0 0 ° C 以上の焼成工程を施すことによってビア電極からのガラス成分と複合ペロブスカイトからなる誘電体材料とを反応させて比誘電率が 4 0 以下の低誘電率相を形成することを特徴とする。

【 0 0 2 4 】

さらに、本発明の積層コンデンサのうち、ビア電極と誘電体の間に比誘電率が 4 0 以下の低誘電率相がある積層コンデンサの他の製造方法は、金属酸化物成分をメタル成分に対して 0. 0 5 w t % 以上含有する電極ペーストをビア電極に用い、かつ 9 0 0 ° C 以上の焼成工程を施すことによってビア電極からのガラス成分と複合ペロブスカイトからなる誘電体材料とを反応させて比誘電率が 4 0 以下の低誘電率相を形成することを特徴とする。

【 0 0 2 5 】

上記 2 つの製造方法において、電極ペースト中のガラス成分や金属酸化物成分の割合を 0. 0 5 w t % 以上含有するものとし、 9 0 0 ° C 以上の焼成工程を施すものとしたのは、仮にガラス成分や金属酸化物成分が 0. 0 5 w t % 未満であったり、焼成温度が 9 0 0 ° C 未満であると、ガラス成分や金属酸化物成分が誘電体側に拡散して十分な反応が起こることがなく、所望の低誘電率相が形成できないからである。

【 0 0 2 6 】

本発明の半導体装置は、上記本発明の積層コンデンサを、 L S I もしくは L S I を搭載したパッケージと前記端子電極を介して電氣的に接続したことを特徴とする

【 0 0 2 7 】

本発明の電子回路基板は、上記本発明の積層コンデンサを L S I もしくは L S

I を搭載したパッケージと該 L S I もしくは L S I を搭載したパッケージを実装する基板の間に実装することによって、前記積層コンデンサを L S I の負荷変動の際に生じる電圧降下を補償するデカップリングコンデンサとして L S I のベアチップの電源パッドとグランドパッドに電氣的に接続したことを特徴とする。

【 0 0 2 8 】

また、本発明の他の電子回路基板は、上記積層コンデンサを L S I ないし L S I を搭載したパッケージを実装した基板において該 L S I ないしパッケージと反対の面に実装することによって、前記積層コンデンサを L S I の負荷変動の際に生じる電圧降下を補償するデカップリングコンデンサとして用いたことを特徴とする。

【 0 0 2 9 】

なお、ビア電極と内部電極および誘電体の間に比誘電率が 4 0 以下の低誘電率相を設けることが望ましい理由は、以下の通りである。

本発明の積層コンデンサを L S I ベアチップまたは B G A、C S P のようなパッケージとプリント基板の間に実装する場合、信号線が高誘電率の誘電体材料を通過するために信号の伝搬遅延が生じるという問題が起こる。電磁波の伝搬速度 v は (4) 式で表されることから、

【 0 0 3 0 】

$$v = 1 / \sqrt{(\epsilon \mu)} \quad \cdots (4)$$

【 0 0 3 1 】

(4) 式において、 ϵ は誘電率、 μ は透磁率を表す。積層コンデンサの厚さが 1 mm、比誘電率を 1 0 0 0 とした場合、信号の伝搬遅延は、シミュレーションの結果、約 1 0 0 p s となる。(4) 式から誘電率が 1 0 倍になると電磁波の伝搬速度は約 0. 3 倍となるため、さらに伝搬遅延は拡大する。また、コンデンサの厚さが厚くなることによっても伝搬遅延が拡大する。したがって、クロック周波数 1 G H z の L S I のデカップリングコンデンサとして本発明のコンデンサを用いる場合、クロックの 1 周期の $1 / 1 0 0$ を伝搬遅延の限界の目安とするならば、誘電体の比誘電率が 1 0 0 0 のときはコンデンサの厚さが 0. 1 mm 以下、コンデンサの厚さが 1 mm のときは比誘電率を 1 0 以下、厚さが 0. 5 mm のと

きは比誘電率を40以下とするのが望ましいと言える。信号線の周囲が空気である場合は比誘電率はほぼ1であるので、信号遅延という観点では理想的である。実用的には、製造プロセス面および信頼性の面から信号線が中空に存在している構造をとることは必ずしも容易ではないので、高誘電率の誘電体と信号線の間に低誘電率材料が存在している構造をとる方が望ましい。

【0032】

また、本発明の積層コンデンサの厚さを0.1mm以下にすれば、信号遅延は目標であるクロック周波数の $1/100$ 以下という条件を満足するが、積層コンデンサを焼成する際に反りやすくなるため、望ましくない。もっとも積層コンデンサの底面積が十分小さいとき、すなわち目安として0.5mm角より小さいときは反りの問題も十分小さくなるので、実用上差し支えない。しかし、積層コンデンサの底面にマトリックス状に端子電極が形成されるためにある程度以上の底面積が必要であるケースが多い。その場合、やはり積層コンデンサの厚さは0.5mm以上とすることが望ましい。積層コンデンサの厚みを0.5mmとするならば、前述の通り、信号線の周囲の誘電体に許容される比誘電率は40となる。

【0033】

【発明の実施の形態】

以下、本発明の一実施の形態を図面を参照して説明する。

上記課題を解決するための本発明の構成を説明する。

第1の実施の形態（本発明の請求項1、3に対応）に示した積層コンデンサ1は、図1（b）、（c）の断面図に示すように、誘電体2の中に、端子電極3および貫通ビア電極5（ビア電極）を経由してLSIの電源ラインに接続される内部電極6と、端子電極4および貫通ビア電極5を経由してグランドに接続される内部電極7が交互に積層された構造を有する。端子電極3および端子電極4は、図1（a）、（d）の上面図および底面図に示すように、上面と底面の双方に複数個ずつ配列された構造（本実施の形態の場合、4行×8列）を有し、図中縦方向に端子電極3と端子電極4とが隣接するように配列されている。なお、この配列には、図1（a）、（d）に記したようなマトリックス状以外に、千鳥状、あるいは半導体パッケージの入出力端子に対応した配列になっているような場合も

含まれる。

【 0 0 3 4 】

第 2 の実施の形態（請求項 2、3 に対応）に示した積層コンデンサ 8 は、図 2（a）、（b）に示すように、誘電体 9 の中に、端子電極 1 0 およびビア電極 1 2 を経由して L S I の電源ラインに接続される内部電極 1 3 と、端子電極 1 1 およびビア電極 1 2 を経由してグランドに接続される内部電極 1 4 が交互に積層された構造を有する。端子電極 1 0 と端子電極 1 1 は、図 2（c）の底面図に示すように、底面側だけに交互にマトリックス状に配列された構造（本実施の形態の場合、4 行×8 列）を有し、図中縦方向に端子電極 3 と端子電極 4 とが隣接するように配列されている。なお、この配列には、図 2（c）に記したようなマトリックス状以外に、千鳥状、あるいは半導体パッケージの入出力端子に対応した配列になっているような場合も含まれる。

【 0 0 3 5 】

第 3 の実施の形態（請求項 4 に対応）に示した積層コンデンサ 1 5 は、図 3 に示すように、誘電体 1 6 の中に、端子電極 1 7 および貫通ビア電極 2 0 を経由して L S I の電源ラインに接続される内部電極 2 1 と、端子電極 1 8 および貫通ビア電極 2 0 を経由してグランドに接続される内部電極 2 2 が交互に積層された構造を有する。さらに、L S I の信号ラインは、誘電体 1 6 の中で内部電極 2 1 および内部電極 2 2 のいずれにも接続しない貫通ビア電極 2 0 に電氣的に接続された端子電極 1 9 に接続される。第 3 の実施の形態に示した積層コンデンサを底面から見た斜視図を図 4 に示す。L S I の電源ラインに接続される端子電極 1 7 とグランドに接続される端子電極 1 8 と信号ラインに接続される端子電極 1 9 とが図 3（a）、（d）における横方向に隣接するように配列されている。

【 0 0 3 6 】

第 4 の実施の形態（請求項 5 に対応）に示した積層コンデンサ 2 3 の断面図の一部を図 5 に示す。図 5 は、誘電体 2 4 の中に L S I の電源ラインに接続される内部電極 2 6 とグランドに接続される内部電極 2 7 が交互に積層された積層コンデンサにおいて、内部電極 2 6、2 7 のいずれにも接続しない貫通ビア電極 2 8 の付近を拡大した図である。L S I の信号ラインは端子電極 2 5 に接続される。

本実施の形態では、貫通ビア電極 2 8 の周囲は誘電体 2 4 ではなく、空隙 2 9 であることが特徴である。

【 0 0 3 7 】

第 5 の実施の形態（請求項 6 に対応）に示した積層コンデンサ 3 0 の断面図の一部を図 6 に示す。図 6 は、誘電体 3 1 の中に L S I の電源ラインに接続される内部電極 3 3 とグランドに接続される内部電極 3 4 が交互に積層された積層コンデンサにおいて、内部電極 3 3、3 4 のいずれにも接続しない貫通ビア電極 3 5 の付近を拡大した図である。L S I の信号ラインは端子電極 3 2 に接続される。本実施の形態では、貫通ビア電極 3 5 の周囲は、誘電体 3 1 ではなく、比誘電率が 4 0 以下の有機材料もしくは無機材料 3 6 であることが特徴である。この低誘電率層を挿入することによって、製造プロセスが難しくなったり、信頼性を損なうことなく、信号の伝搬遅延が生じるのを防止することができる。

【 0 0 3 8 】

第 6 の実施の形態（請求項 7 に対応）に示した積層コンデンサを底面側から見た斜視図を図 7 に示す。図 7 は、図 4 の積層セラミックコンデンサの端子電極 1 7、1 8、1 9 上に基板にフリップチップ実装するための半田パンプ 3 7 が予め設けられた構造を有する積層コンデンサを表している。

【 0 0 3 9 】

第 7 の実施の形態（請求項 8 に対応）に示した積層コンデンサは、誘電体 2、9、1 6、2 4、3 1 の材料にペロブスカイト構造を有する化合物を用いたものである。

【 0 0 4 0 】

第 8 の実施の形態（請求項 9 に対応）に示した積層コンデンサの製造方法は、その製造過程においてビア電極を形成する電極ペーストにガラス成分をメタルに対して 0. 0 5 w t % 以上、好ましくは 0. 1 w t % 以上 5 w t % 以下含有させたものを用い、後に 9 0 0 ℃ 以上の焼成工程を経ることによって誘電体 3 1 とガラスを反応させて図 6 に示した貫通ビア電極と誘電体の間に存在する比誘電率 4 0 以下の低誘電率相 3 6 を形成させたものである。図 8 はそうして形成したビア電極と誘電体の間の低誘電率相の光学顕微鏡写真を示す。ここで中心のビア電極

の直径は0.2mmである。これは、焼成過程においてビア電極ペーストの中のガラスが拡散し、誘電体とビアの界面において反応が生じ、ペロブスカイト構造を壊すために低誘電率の相が生成する。

【0041】

第9の実施の形態（請求項10に対応）に示した積層コンデンサの製造方法は、その製造過程においてビア電極を形成する電極ペーストに金属酸化物成分をメタルに対して0.05wt%以上、好ましくは0.1wt%以上5wt%以下含有させたものを用い、後に900℃以上の焼成工程を経ることによって誘電体31と金属酸化物成分を反応させて図6に示した貫通ビア電極と誘電体の間に存在する比誘電率40以下の低誘電率相36を形成させたものである。金属酸化物として特に有効なものは、酸化アルミニウム、酸化ジルコニウム、酸化チタン、酸化ニオブである。この方法によっても図8に示したようなビア電極と誘電体の間の低誘電率相の形成が可能である。低誘電率相の生成は、第8の実施の形態で触れた通りの機構によって起こる。

【0042】

第10の実施の形態（請求項11に対応）に示した半導体装置を含む電子回路基板（請求項12および13に対応）は、上記実施の形態に示した積層コンデンサを用いた図9の等価回路図によって表される。すなわち、電源42とLSI43の間は抵抗R38、R38'、R40、R40' およびインダクタンスL39、L39'、L41、L41' が直列に接続されており、それに対して並列に積層コンデンサを配置した回路で表される。積層コンデンサは、抵抗44、キャパシタンス45およびインダクタンス46の直列回路と等価である。第10の実施の形態に示した半導体装置は積層コンデンサ（44、45、46）とLSI43の間に存在するインダクタンス39、39' をできるだけ小さくすることを目的とする。

【0043】

請求項12に対応する電子回路基板の一例を図10に示す。図10に示した電子回路基板は、LSIの信号ラインに接続される端子電極52、電源ラインに接続される端子電極53、およびグランドに接続される端子電極54を双方の底面

に有する積層コンデンサ 5 1 が L S I ベアチップ 4 7 を搭載した C S P 4 9 とプリント基板 5 6 の間に半田バンプ 5 0、5 5 によって接続された構造を有する。この場合、L S I ベアチップ 4 7 を搭載した C S P 4 9 と半田バンプ 5 0 を介して接続された積層コンデンサ 5 1 とが半導体装置を構成する。

【0044】

また、L S I ベアチップとプリント基板の間に本発明の積層コンデンサをインターポーザとして用いた形態を図 1 1 に示す。図 1 1 の電子回路基板は、L S I の信号ラインに接続される端子電極 5 9、電源ラインに接続される端子電極 6 0、およびグランドに接続される端子電極 6 1 を双方の底面に有する積層コンデンサ 6 2 が L S I ベアチップ 5 7 とプリント基板 6 4 の間に半田バンプ 5 8、6 3 によって接続された構造を有する。この場合、L S I ベアチップ 5 7 と半田バンプ 5 8 を介して接続された積層コンデンサ 6 2 とが半導体装置を構成する。

【0045】

請求項 1 3 に対応する電子回路基板の一例を図 1 2 に示す。図 1 2 に示した電子回路基板は、片方の底面のみに L S I の電源ラインに接続する端子電極 6 9 とグランドに接続する端子電極 7 0 を有する積層コンデンサ 7 1 がプリント基板 7 3 において、L S I ベアチップ 6 5 を半田バンプ 6 6 を介して搭載した C S P 6 7 が半田バンプ 6 8 によって接続されている面の反対側で、かつ C S P 6 7 と積層コンデンサ 7 1 の距離が最小になるような位置に半田バンプ 7 2 によって接続された構造を有する。なお、請求項 1 2 に対応する電子回路基板に上面および底面に端子電極を有する積層コンデンサ 1 を用いても構わない。

【0046】

【実施例】

〔実施例 1〕

本発明の積層コンデンサの単位実装面積あたりの容量を従来の積層コンデンサと比較するために、従来の積層セラミックコンデンサの実装面積と同じ底面積を有するとした場合に本発明の積層コンデンサで得ることができる容量を計算により求めた。

【0047】

従来の積層セラミックコンデンサには16V定格の1005 (L1.0mm×W0.5mm×T0.5mm) 形状で容量が0.022 μ Fのものを選んだ。この容量は、この形状と定格において、市販品としては最大の容量である。1005形状の積層セラミックコンデンサ1個の実装面積は、ランドも含めて1.6mm×0.8mmである。本発明の積層コンデンサは前述の市販の積層セラミックコンデンサ8個を1個にまとめたものとする。市販の積層セラミックコンデンサのランドの間隔を0.6mm、市販の積層セラミックコンデンサをL方向に4個、W方向に2個の計8個実装したとすると、実装面積はL方向が(0.8×4)+(0.6×3)=5.0mm、W方向が(1.6×2)+0.6=3.8mmなので、5.0×3.8=19.0mm²となる。したがって、市販の積層セラミックコンデンサ8個の単位実装面積あたりの容量は、22×8nF/19.0mm²=9.26nF/mm²となる。

【0048】

一方、本発明の積層セラミックコンデンサについて計算する。誘電体材料は、市販の積層セラミックコンデンサに用いられているものと同程度の比誘電率(3000)を有するものとする。上下の誘電体層を繋ぐビア径は ϕ 0.2mm、ビアと内部電極との隙間は0.1mmであり、かつ誘電体1層において内部電極は誘電体層の4辺から0.2mmのマージンをもって形成されているとする。誘電体層の厚さは焼結後で12 μ mとする。誘電体層1層あたりの容量は、

$C = \epsilon_0 \epsilon S / d$ という式 (S=有効面積) に従って計算すると、
 $8.856 \times 10^{-12} \times 3000 \times ((5.0 - 0.2 \times 2) \times (3.8 - 0.2 \times 2) - 0.2 \times 0.2 \times \pi \times 16) \times 10^{-6} / (12 \times 10^{-6}) = 30.2$
 nF

【0049】

本発明の積層コンデンサの厚さを市販の積層セラミックコンデンサと同等の0.5mmにするためには、上下の保護層の厚さをそれぞれ0.1mmずつとすると、誘電体層は(0.5-0.1×2)/0.012=25層が限界である。したがって、市販の積層セラミックコンデンサと同一の実装面積を底面積とする本発明の積層セラミックコンデンサにおいて、その容量は最大で30.2×25=

755 nFとなる。したがって、単位実装面積あたりの容量は $755 \text{ nF} / 19.0 \text{ mm}^2 = 39.7 \text{ nF} / \text{mm}^2$ となる。これは市販の積層セラミックコンデンサ8個を用いた場合の4.3倍に相当する。

【0050】

以上の計算結果から、本発明の積層コンデンサの単位実装面積あたりの容量は市販の積層セラミックコンデンサよりも大きくすることが可能であることが判明した。

【0051】

【実施例2】

次に、本発明の積層コンデンサの作製方法と実装方法を示す。誘電体粉末はチタン酸バリウムをベースとしたものを用いた。比誘電率は室温で3000、X7R特性を満足する粉末である。誘電体粉末に溶媒とバインダを加えて混練したスラリーをドクターブレード法でキャリアフィルム上にグリーンシートを作製した。グリーンシートの厚さは $30 \mu\text{m}$ とした。キャリアフィルムからグリーンシートを剥がして所定の形状に切断した後に、ビアホールをパンチャーによって形成し、ビア電極ペーストをビアホールに埋め込んだ。ビア電極には銀パラジウムペーストを用いた。銀とパラジウムの比率は誘電体の焼成温度に合わせて50/50とした。次にビア電極の位置を基準にして、内部電極を形成する導電ペーストを、スクリーン印刷法を用いて形成した。導電ペーストには誘電体の焼成温度が約 1300°C と高いために白金ペーストを用いた。内部電極とビア電極を接続しないようにするためのマージンは、ビアの周囲約 0.1 mm とした。

【0052】

次に、ビア電極と内部電極を形成したグリーンシートを所定の構成になるように積層した後に熱圧着を行った。加熱温度は 90°C とした。内部電極を印刷したシートの積層数は20枚とした。また、内部電極層の下部にはビア電極だけが形成されたシートを10枚、内部電極層の上部には何も印刷されていないシートを10枚積層した。熱圧着した積層体を所定の形状に切断した個片を脱バインダ処理した後に $1250^\circ\text{C} \sim 1350^\circ\text{C}$ で焼成した。焼成した試料の底面に露出しているビア電極の位置に合わせて端子電極を形成した。

【 0 0 5 3 】

作製した積層コンデンサの寸法は、 $L : 6.0 \text{ mm} \times W : 4.0 \text{ mm} \times t : 0.8 \text{ mm}$ 、端子電極は底面のみに存在し、間隔が L 方向は 0.8 mm ピッチで4列、 W 方向は 0.6 mm ピッチで4行、計16個の端子電極が配列している構造を有している。本実施例で作製した積層コンデンサを底面から見た斜視図を図13に示す。端子電極74はLSIの電源ライン（もしくはグランド）に半田によって電氣的に接続され、端子電極75はLSIのグランド（もしくは電源ライン）に同様にして電氣的に接続される。

【 0 0 5 4 】

作製した積層コンデンサの等価インダクタンスを測定するために、図14に示すように、評価ボード77に積層コンデンサ76を半田で実装し、端子パッド78、79に測定器の針を当てることによって $1 \text{ MHz} \sim 100 \text{ MHz}$ の間でインピーダンスを測定した。評価に用いたインピーダンスアナライザはHP4291Bインピーダンスアナライザである。インピーダンス測定の前にLCRメータ（HP4274）を用いて作製した積層コンデンサの 1 kHz 、 1 V rms における静電容量と誘電損失を測定した結果、それぞれ $0.08 \mu\text{F}$ 、 0.008 であった。比較のために市販の積層セラミックコンデンサ80（X7R特性、 $L : 1.0 \text{ mm} \times W : 0.5 \text{ mm} \times t : 0.5 \text{ mm}$ 、 $0.01 \mu\text{F}$ ）を8個、図15に示すように、評価ボード81（評価ボード77と同じ）上に実装し、前述と同様の方法で $1 \text{ MHz} \sim 100 \text{ MHz}$ のインピーダンス測定を行った。

【 0 0 5 5 】

図16は、図14、図15に示したような方法でインピーダンス測定によって求めた等価直列容量（ C_s ）の周波数特性を示す。実施例も比較例も $1 \text{ MHz} \sim 7 \text{ MHz}$ 付近まではほとんど同じ等価直列容量値を示す。実施例においては 25 MHz 付近に等価直列容量がピークに達した後に急激に負に転じる。ここが実施例で作製した積層コンデンサを評価基板に実装した場合の配線+コンデンサのLC共振周波数といえる。一方、比較例の市販の積層セラミックコンデンサを8個用いた場合は 12 MHz をピークに急激に負に転じる。ここが比較例における配線+コンデンサのLC共振周波数といえる。配線にあるインダクタンスは実施例

も比較例も同じであると言えるので、実施例の方がコンデンサのインダクタンスが小さいために共振周波数が比較例よりも高周波側に現れたと言える。

【 0 0 5 6 】

次に、L S I の負荷変動の際に生じる電圧降下を補償するデカップリングコンデンサとして、作製した積層コンデンサが従来の積層セラミックコンデンサと比較してどの程度の優位性があるかを、上記測定結果と図 9 に示した等価回路を使って考察する。

【 0 0 5 7 】

作製した積層コンデンサを、図 1 2 に示すように L S I を搭載したパッケージを実装したプリント基板の裏面（L S I の反対側）に 4 個実装した場合を想定した。また、比較のために、図 1 7 に示すように同じ L S I 8 4 を搭載したパッケージ 8 6 を実装した基板の裏面に市販の積層セラミックコンデンサ 9 1 （上記積層セラミックコンデンサ 8 0 と同一）を $8 \times 4 = 32$ 個、プリント基板 8 8 に実装した場合を想定した。

【 0 0 5 8 】

デカップリングコンデンサによる負荷急変時の L C R の電源電圧の降下 ΔV をシミュレーションを行うことによって求めた。まず、電源電圧を 3.3 V として L S I にクロック周波数 500 MHz のパルスを与えた場合を仮定する。このときの立ち上がり時間は、計算の簡略化のために 0.5 ns とした。

【 0 0 5 9 】

図 9 について説明を加える。定常状態においては電流は一定電流が電源から供給されている。デカップリングコンデンサには電荷がフルに蓄えられている状態にある。ここで、L S I に定常状態の電流に対してある負荷変動により電流が急に流れると、増加した電流に対応する電荷はデカップリングコンデンサから供給される。このとき L S I における電圧降下 ΔV は（1）式で表される。

$$\Delta V = R \times \Delta i + L \times di/dt \quad \cdots (1)$$

このとき、R はデカップリングコンデンサ～L S I の閉回路全体の直流抵抗、L はインダクタンス、C は静電容量である。（1）式における R、L は、それぞれ $R = R_{38} + R_{38}' + R_{44}$ 、 $L = L_{38} + L_{38}' + L_{44}$ である。

【0060】

ここで、上記等価直列容量の周波数依存性の測定結果から、作製した積層コンデンサの等価インダクタンス（評価基板77の配線長込み）は（2）式を用いて計算すると、共振周波数 $f = 20 \text{ MHz}$ なので、 $L = 800 \text{ pH}$ となる。一方、市販の積層セラミックコンデンサ8個を並列に配置したときの等価インダクタンス（評価基板81の配線長込み）は同様に計算すると、共振周波数 $f = 10 \text{ MHz}$ なので $L = 3.2 \text{ nH}$ となる。

$$f^2 = 1 / (4 \times \pi^2 \times L \times C) \quad \dots (2)$$

【0061】

本実施例においては実施例として作製した積層コンデンサ4個を並列に実装した場合を、比較例としては市販の積層セラミックコンデンサ32個を並列に実装した場合をそれぞれ想定している。したがって実施例におけるデカップリングコンデンサ（平面方向の配線含む）の等価インダクタンスは $800 \text{ pH} / 4 = 200 \text{ pH}$ 、比較例におけるデカップリングコンデンサ（平面方向の配線含む）の等価インダクタンスは $3.2 \text{ nH} / 4 = 800 \text{ pH}$ となる。これが図9の等価回路におけるインダクタンス L_{46} に相当する。また、 $C_{45} = 0.08 \text{ nF}$ であり、 $R_{44} = 0.1 \Omega$ でそれぞれ同じとする。また、プリント基板のスルーホールインダクタンスは L_{39} 、 L_{39}' に相当し、それぞれ 0.5 nH とする。

【0062】

パルスが立ち上がっているときの電流 $i(t)$ は、クロック周波数 500 MHz の一般的なLSIから発生する電流 $\Delta i = 0.3 \text{ A}$ という値を用いて（5）式で表される。

$$i(t) = 0.6 \times 10^9 \times t \quad (0 \leq t \leq 0.5 \text{ ns}) \quad \dots (5)$$

【0063】

（1）式、（5）式から、本実施例で想定した2種類の半導体装置における ΔV はそれぞれ次のようになる。ここで、パルスが立ち上がった時の電圧降下が最も大きいので、 $t = 0.5 \text{ ns}$ を代入する。

$$\begin{aligned} \Delta V (\text{実施例}) &= R \times 0.6 \times 10^9 \times t + L \times 0.6 \times 10^9 \\ &\doteq 0.03 + 0.72 \end{aligned}$$

$$\approx 0.75$$

$$\Delta V \text{ (比較例)} = R \times 0.6 \times 10^9 \times t + L \times 0.6 \times 10^9$$

$$\approx 0.03 + 1.48$$

$$\approx 1.51$$

したがって、LSIの負荷急変時の電圧変動 ΔV は本実施例の半導体装置の方が小さいことがわかる。

【0064】

〔実施例3〕

本発明の別の形態の積層コンデンサの作製方法と実装方法を示す。誘電体粉末は実施例1と同じ、チタン酸バリウムをベースとしたものを用いた。誘電体粉末に溶媒とバインダを加えて混練したスラリーをドクターブレード法でキャリアフィルム上にグリーンシートを作製した。グリーンシートの厚さは $30\mu\text{m}$ とした。キャリアフィルムからグリーンシートを剥がして所定の形状に切断した後に、ビアホールをパンチャーによって形成し、ビア電極ペーストをビアホールに埋め込んだ。ビア電極には銀パラジウムペーストを用いた。銀とパラジウムの比率は誘電体の焼成温度に合わせて $50/50$ とした。さらに、ビアペーストには、ビアの周囲に低誘電率相を形成させるために酸化アルミニウムの粉末をメタル成分に対して $2.0\text{wt}\%$ 添加した。次に、ビア電極の位置を基準にして、内部電極を形成する導電ペーストを、スクリーン印刷法を用いて形成した。導電ペーストには誘電体の焼成温度が約 1300°C と高いために白金ペーストを用いた。

【0065】

次に、ビア電極と内部電極を形成したグリーンシートを所定の構成になるように積層した後に熱圧着を行った。加熱温度は 90°C とした。内部電極を印刷したシートの積層数は25枚とした。また、内部電極層の上下に、ビア電極だけが形成されたシートを10枚ずつ積層した。熱圧着した積層体を所定の形状に切断した個片を脱バインダ処理した後に $1250^\circ\text{C} \sim 1350^\circ\text{C}$ で焼成した。焼成した試料の底面に露出しているビア電極の位置に合わせて端子電極を形成した。

【0066】

作製した積層コンデンサの寸法は $L:12.0\text{mm} \times W:12.0\text{mm} \times t:$

0.8mm、端子電極は双方の底面に存在し、図18に示すようにCSPのパッドに対応するように間隔がL、W方向ともに0.8mmピッチで14行×14列（中央部4行×4列は端子なし）、計180個の端子電極が配列している構造を有している。端子電極93はLSIの電源ライン（もしくはグランド）に、端子電極94はLSIのグランド（もしくは電源ライン）に、端子電極95はLSIの信号ラインにそれぞれ電氣的に接続される。本積層コンデンサの端子に半田ボールを形成し、一方の底面をプリント基板に、他方の底面をCSPの端子にそれぞれ電氣的に接続した。

【0067】

電源端子の一つとグランド端子の一つにそれぞれ針をあてて積層コンデンサの静電容量を測定した結果、 $1.0\mu\text{F}$ （1kHz）となった。本実施例のように積層コンデンサをプリント基板とCSPパッケージのよる間にインターポーザとして使用する場合、問題となるのは信号が高誘電率の誘電体を通過する間の遅延である。信号遅延を測定するために、積層コンデンサの端子のうち、LSIの信号ラインに接続されるべき端子にパルスジェネレータで信号を与え、IN側とOUT側での波形をオシロスコープによって観察した。比誘電率が1000で厚さ0.8mmの誘電体の中を信号が通過する場合、シミュレーション上では約80psの信号遅延が発生するという結果になったが、本積層コンデンサでは信号遅延は約50psであった。この信号遅延は十分に小さいとは言えないまでも、酸化アルミニウムを添加したビアペーストを用いてビア電極を形成することによって、ビア電極の周囲に低誘電率相が形成されたことを示唆している。

【0068】

【発明の効果】

以上、詳細に説明したように、高速動作するLSIの周辺に配置され、LSIの負荷変動の際に生じる電圧降下を補償するデカップリングコンデンサとして本発明の積層コンデンサは、従来の市販の積層セラミックコンデンサよりも単位実装面積あたりの容量を大きくできる。また、本発明の積層セラミックコンデンサは従来の積層セラミックコンデンサ複数個を実装する場合と比較してその配線長込みのインダクタンスを小さくすることができる。

【 0 0 6 9 】

また、本発明の積層コンデンサを用いた半導体装置の形態において、本発明の積層コンデンサを実装基板上の L S I の反対側に実装した場合、および基板と L S I の間にインターポーザとして実装した場合のいずれにおいても、L S I の負荷変動の際に生じる電圧降下を補償するデカップリングコンデンサとして従来の積層セラミックコンデンサを用いた場合よりも配線込みのインダクタンスが小さくなるために、その補償効果を大きくすることができる。

【 0 0 7 0 】

また、本発明の積層コンデンサの製造方法に示したようなビアペーストをビア電極の形成に用いることによって、本発明の積層コンデンサをインターポーザとして用いた場合に生じる問題点である信号の伝搬遅延を小さくすることが可能である。

【図面の簡単な説明】

【図 1】 本発明の積層コンデンサ（底面と上面双方に接続用端子が設けられたもの）の上面図、底面図、正面断面図および側面断面図である。

【図 2】 本発明の積層コンデンサ（底面のみに接続用端子が設けられたもの）の底面図、正面断面図および側面断面図である。

【図 3】 本発明の積層コンデンサ（底面と上面双方に接続用端子が設けられたもの）においてインターポーザ用として L S I 信号ラインと接続されるビア電極が内部を貫通している積層コンデンサの上面図、底面図、正面断面図および側面断面図である。

【図 4】 本発明の積層コンデンサ（底面と上面双方に接続用端子が設けられたもの）においてインターポーザ用として L S I 信号ラインと接続されるビア電極が内部を貫通している積層コンデンサの斜視図である。

【図 5】 本発明の積層コンデンサ（底面と上面双方に接続用端子が設けられたもの）においてインターポーザ用として L S I 信号ラインと接続されるビア電極が内部を貫通している積層コンデンサにおいて、ビア電極と誘電体の間に空隙が存在する積層コンデンサの断面の拡大図（一部）である。

【図 6】 本発明の積層コンデンサ（底面と上面双方に接続用端子が設けら

れたもの)においてインターポーザ用としてLSI信号ラインと接続されるビア電極が内部を貫通している積層コンデンサにおいて、ビア電極と誘電体の間に低誘電率相が存在する積層コンデンサの断面の拡大図(一部)である。

【図7】 本発明の積層コンデンサの端子電極に接続用の半田ボールが形成された積層コンデンサの斜視図である。

【図8】 本発明の積層コンデンサ(底面と上面双方に接続用端子が設けられたもの)においてインターポーザ用としてLSI信号ラインと接続されるビア電極が内部を貫通している積層コンデンサにおいて、ビア電極と誘電体の間に低誘電率相が存在する積層コンデンサのビア電極周辺の光学顕微鏡写真である。

【図9】 本発明の半導体装置におけるLSIの電源電圧降下のシミュレーションに関する図であり、(a)シミュレーションに用いた等価回路図、(b)LSIに流れる電流が急変した際の電源電圧の変化を表す模式図である。

【図10】 本発明の積層コンデンサをCSPと基板の間に実装した半導体装置の正面図である。

【図11】 本発明の積層コンデンサをLSIベアチップと基板の間に実装した半導体装置の正面図である。

【図12】 本発明の積層コンデンサをLSIと反対側に実装した半導体装置の正面図である。

【図13】 実施例2で作製した積層コンデンサの斜視図である。

【図14】 実施例2で作製した積層コンデンサのインピーダンスの周波数特性を測定するための基板を示す図である。

【図15】 実施例2において従来の市販の積層コンデンサを複数個実装した場合のインピーダンスの周波数特性を測定するための基板(図13と同一)を示す図である。

【図16】 実施例2において評価基板に容量が同じになるように本発明の積層コンデンサおよび従来の積層コンデンサを実装したときの等価直列容量の周波数特性の測定結果である。

【図17】 実施例2において比較例として示した従来の積層セラミックコンデンサをLSIの負荷変動の際に生じる電圧降下を補償するデカップリングコ

ンデンサとして用いた従来の半導体装置の正面図である。

【図18】 実施例3において作製した積層コンデンサの斜視図である。

【符号の説明】

1, 8, 15, 23, 30, 51, 62, 71, 76, 92 本発明の積層コンデンサ

2, 9, 16, 24, 31 誘電体

3, 11, 17, 53, 60, 69, 75, 89, 93 LSIの電源ラインに接続される端子

4, 10, 18, 54, 61, 70, 74, 90, 94 LSIのグランドに接続される端子

5, 12, 20, 28, 35 ビア電極

6, 14, 21, 26, 33 LSIの電源ラインに接続される内部電極

7, 13, 22, 27, 34 LSIのグランドに接続される内部電極

19, 25, 32, 52, 95 LSIの信号ラインに接続される端子

29 空隙

36 低誘電率層

37, 48, 50, 59, 63, 66, 68, 72, 85, 87 半田バンプ

38, 38' LSIとデカップリングコンデンサの間の配線抵抗

39, 39' LSIとデカップリングコンデンサの間の配線インダクタンス

40, 40' 電源とデカップリングコンデンサの間の配線抵抗

41, 41' 電源とデカップリングコンデンサの間の配線インダクタンス

42 電源

43 LSI

44 デカップリングコンデンサの等価直列抵抗

45 デカップリングコンデンサのキャパシタンス

46 デカップリングコンデンサの等価直列インダクタンス

47, 57, 65, 84 LSI

49, 67, 86 パッケージ

56, 64, 73 プリント基板

7 5, 8 1, 8 8 評価基板

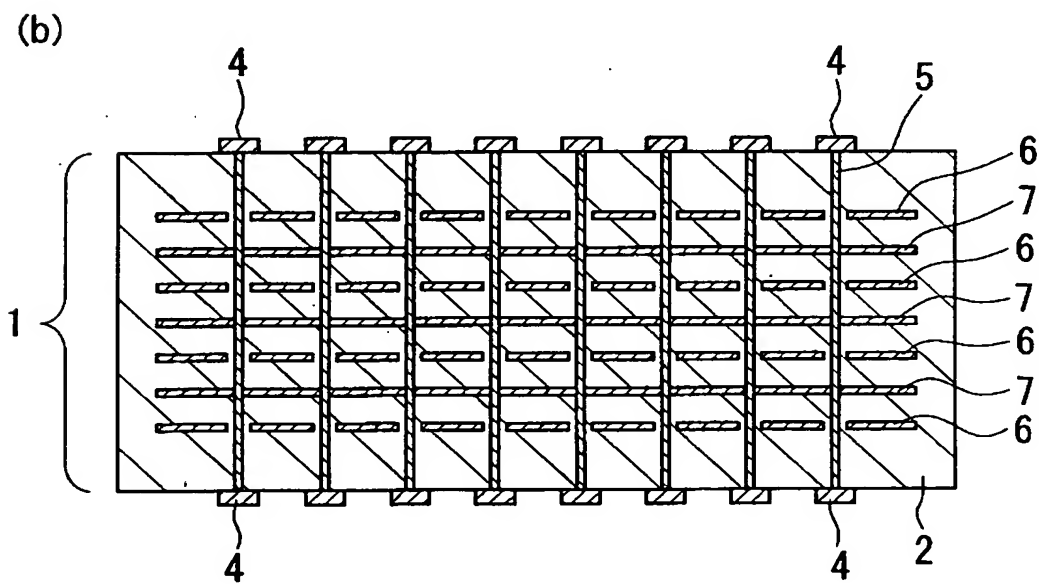
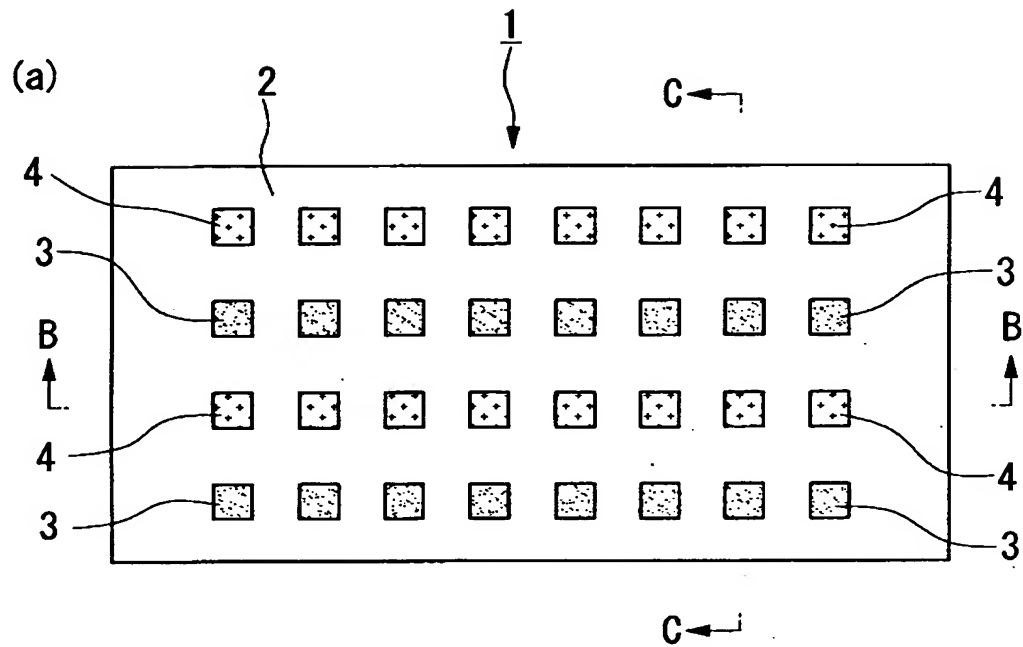
7 8, 8 2 インピーダンスアナライザの針をあてる端子 (+)

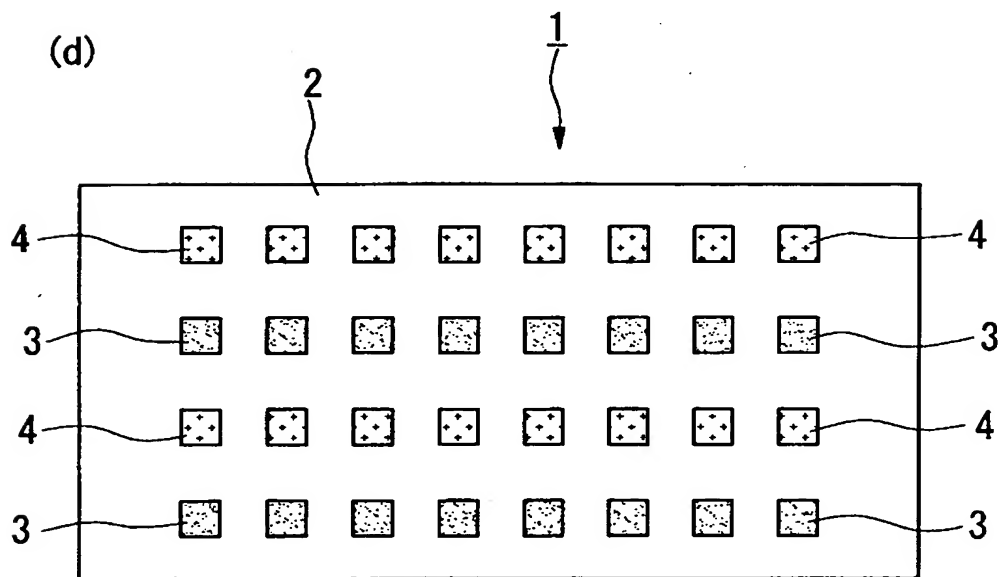
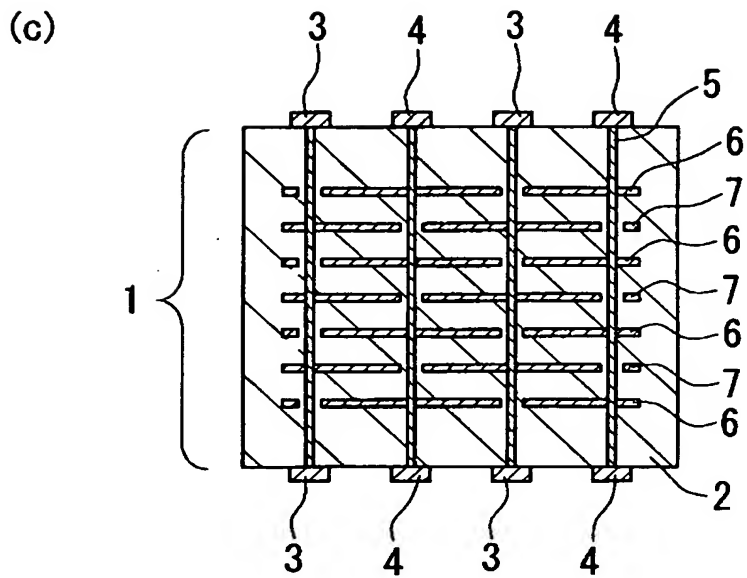
7 9, 8 3 インピーダンスアナライザの針をあてる端子 (-)

8 0, 9 1 従来の積層セラミックコンデンサ

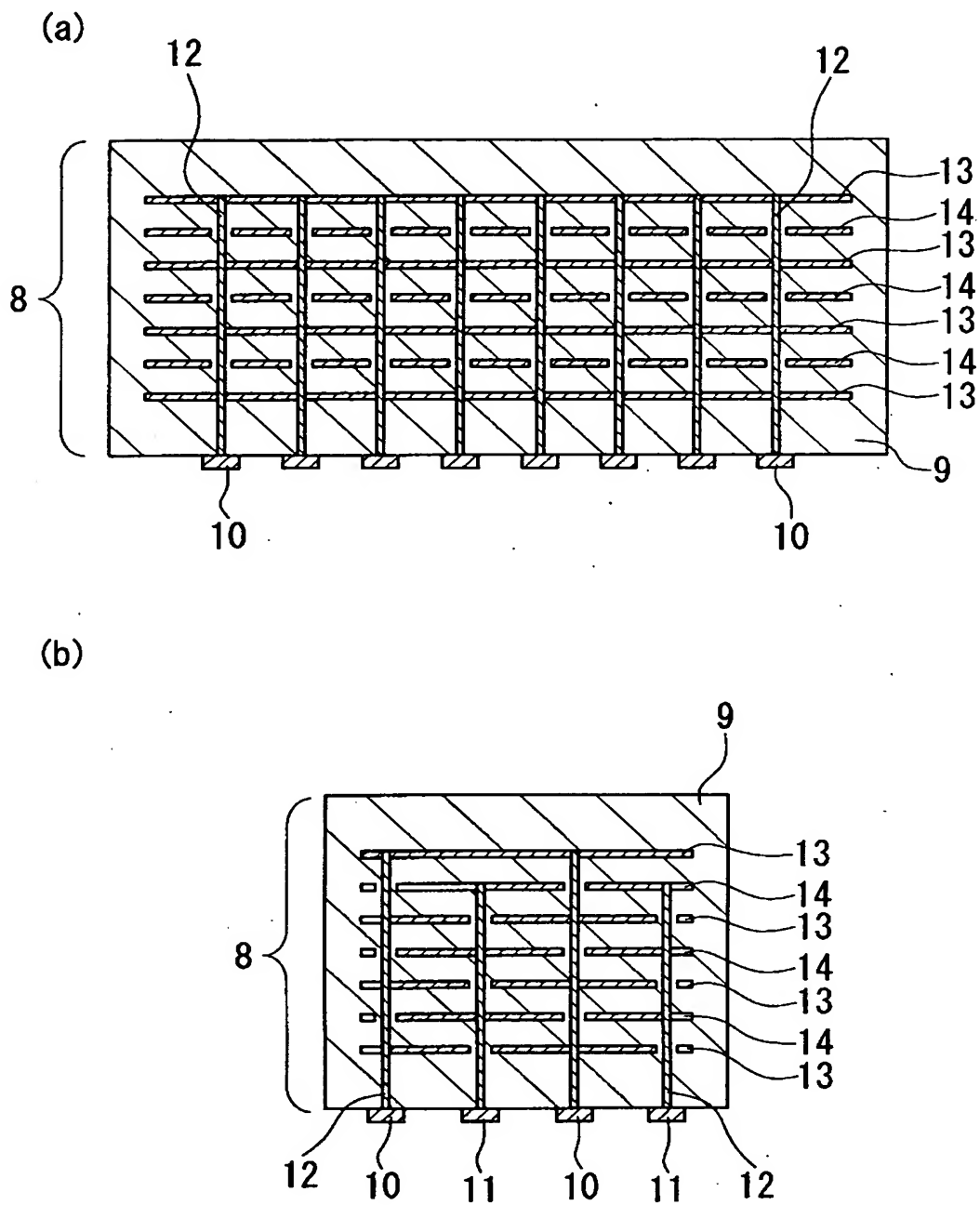
【書類名】 図面

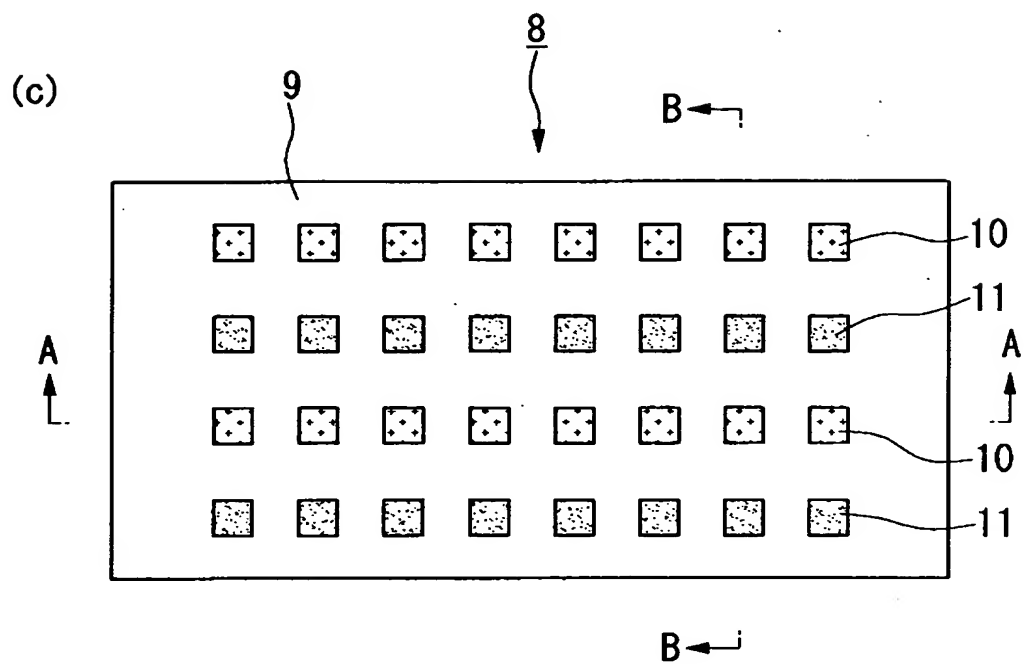
【図 1】



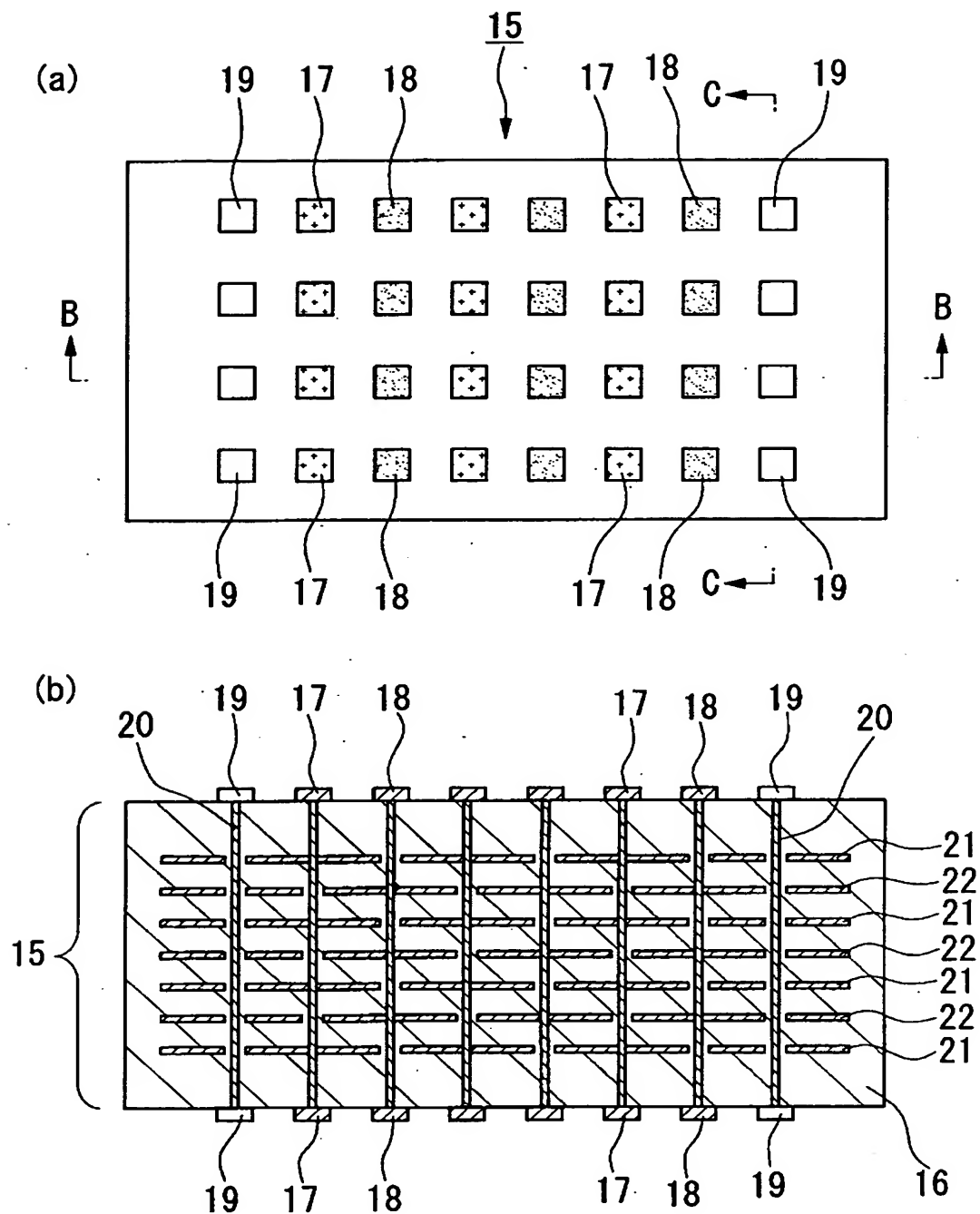


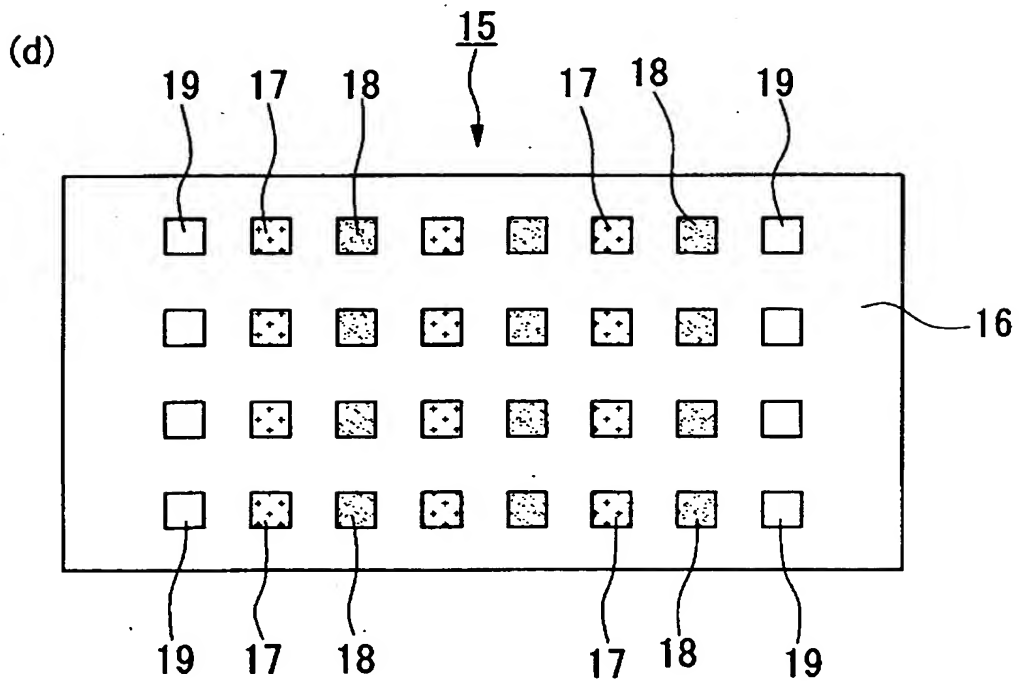
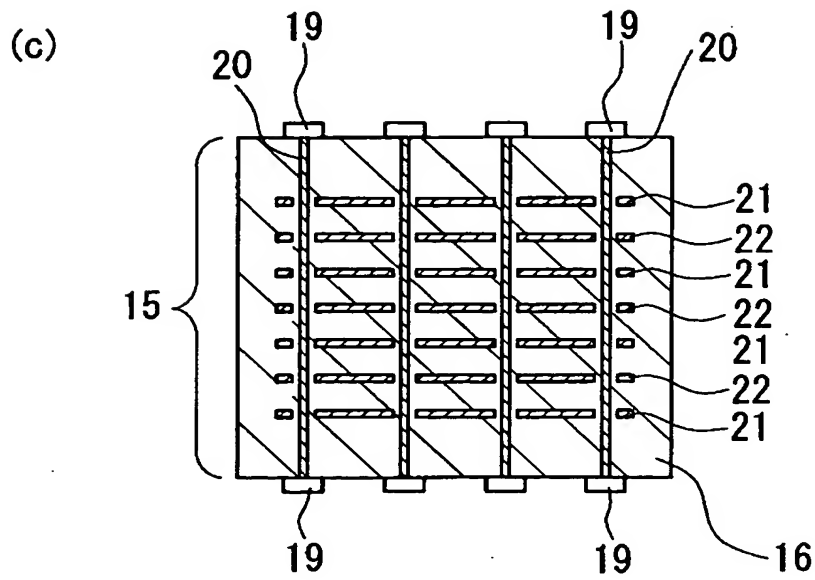
【図 2】



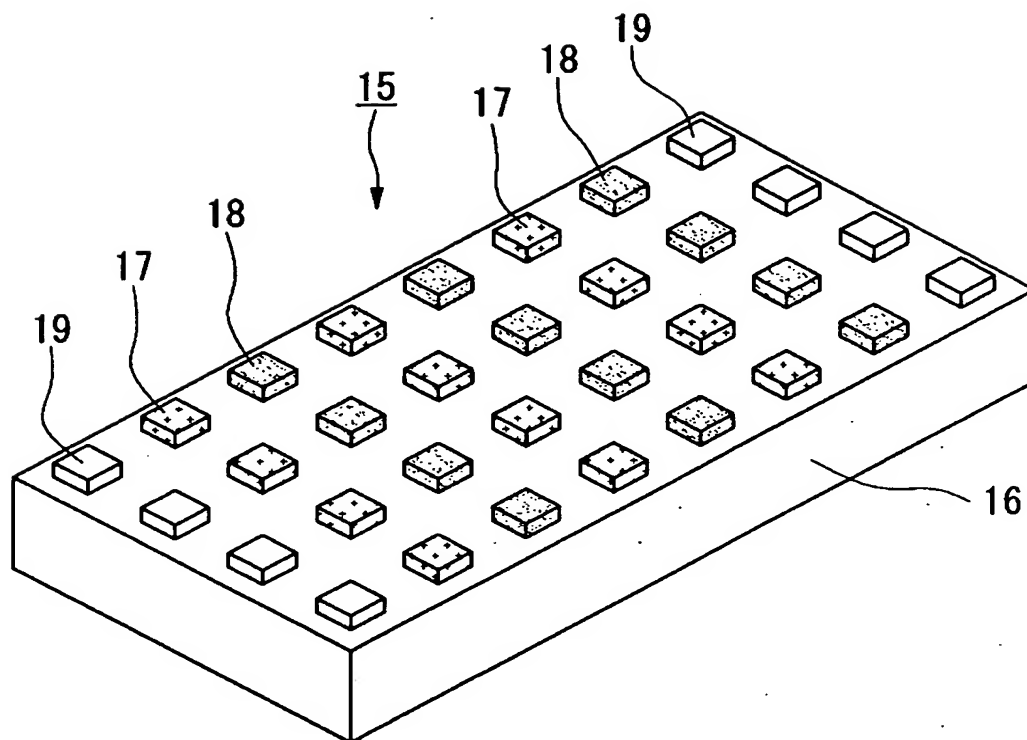


【図 3】

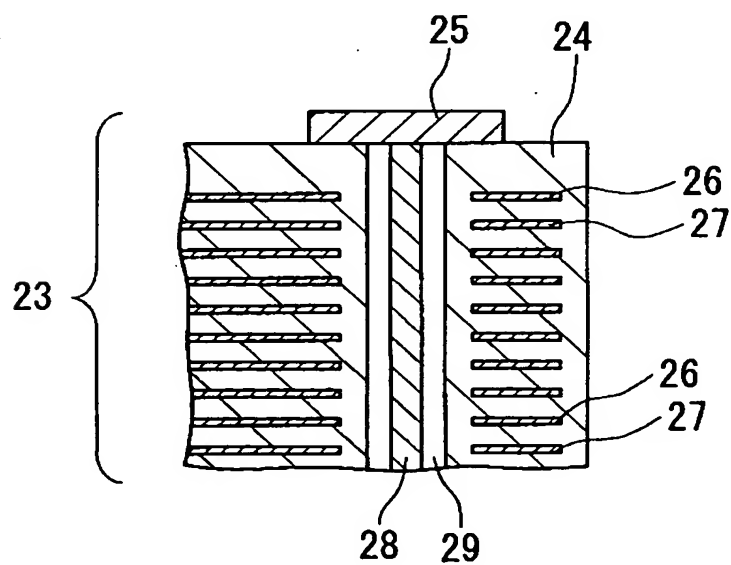




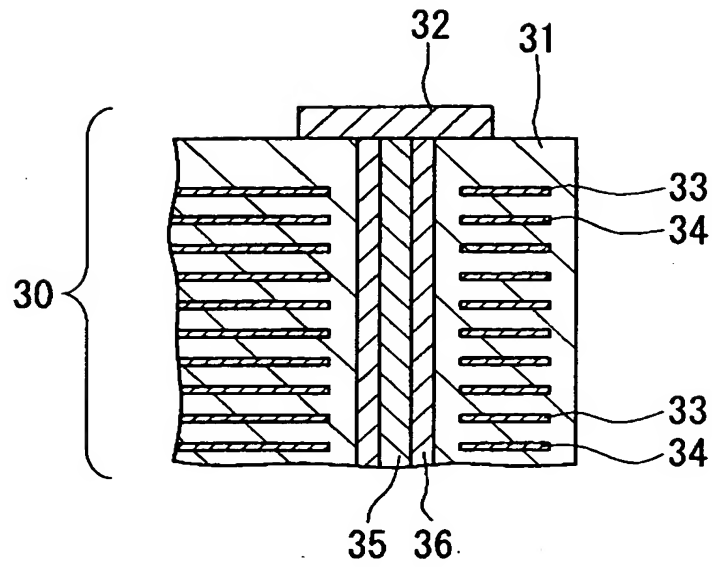
【図 4】



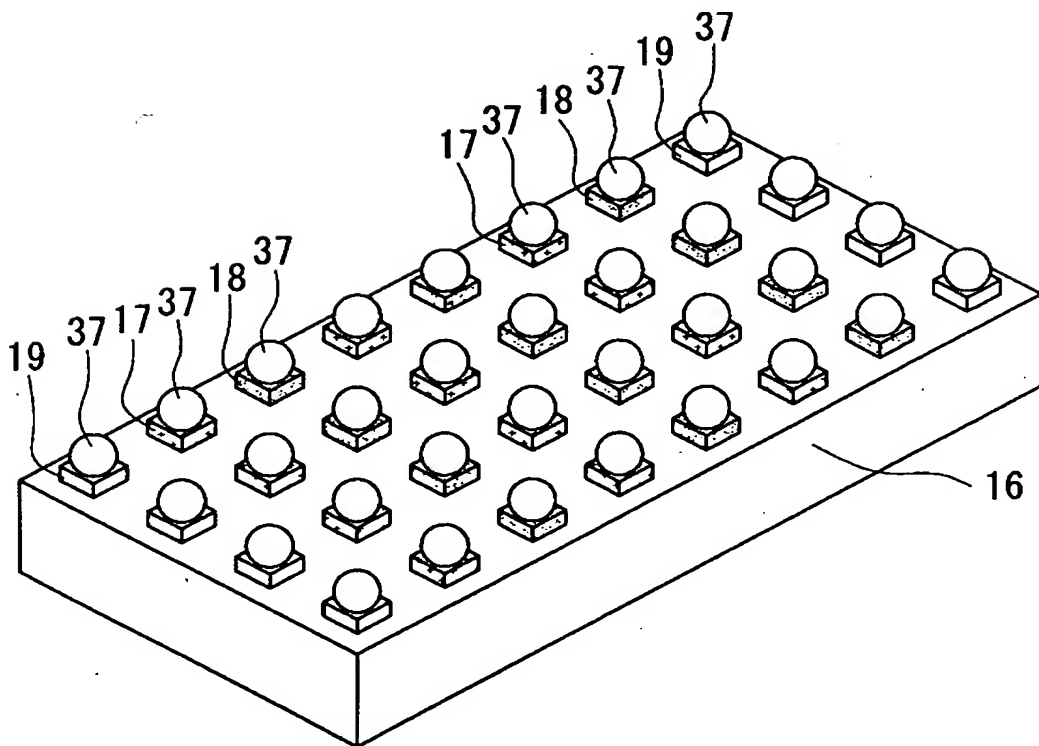
【図 5】



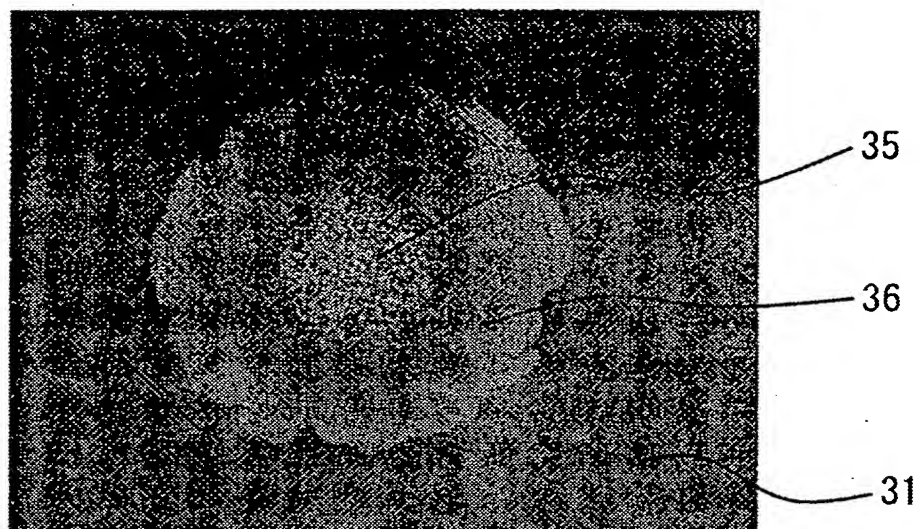
【図 6】



【図 7】

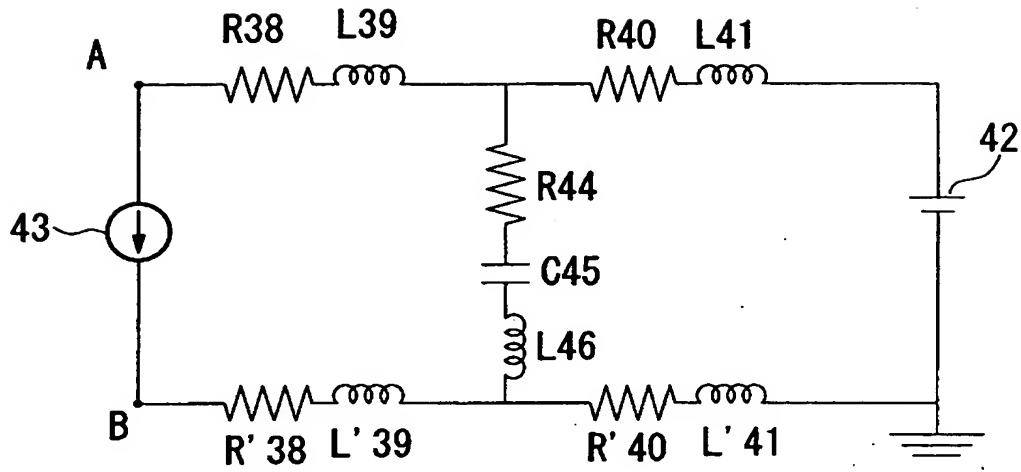


【図 8】

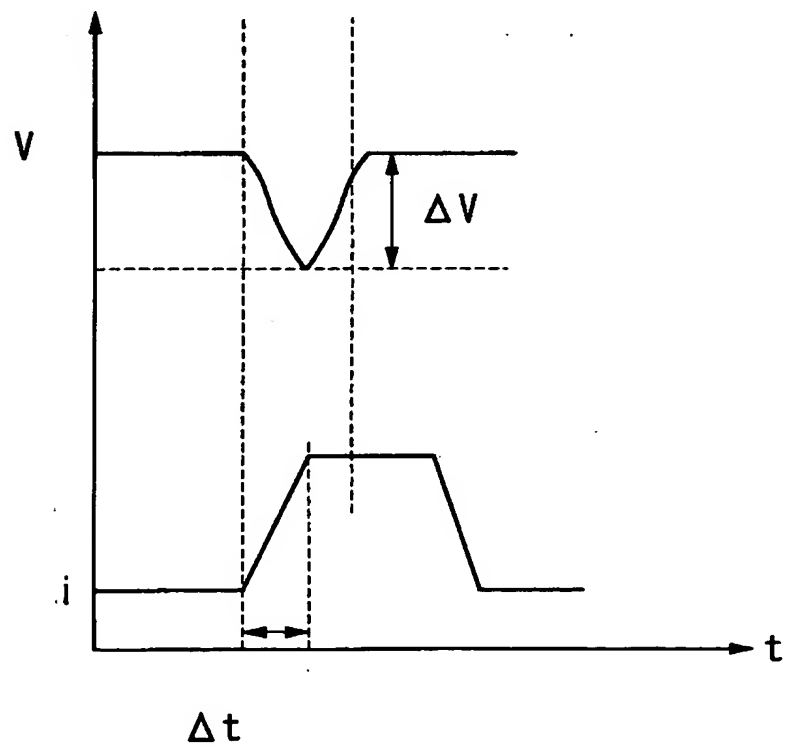


【図 9】

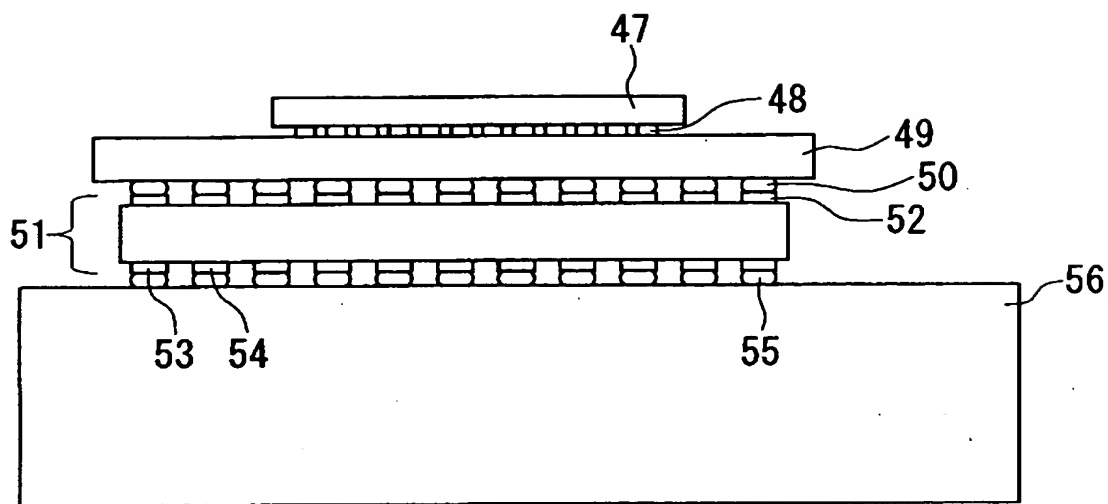
(a)



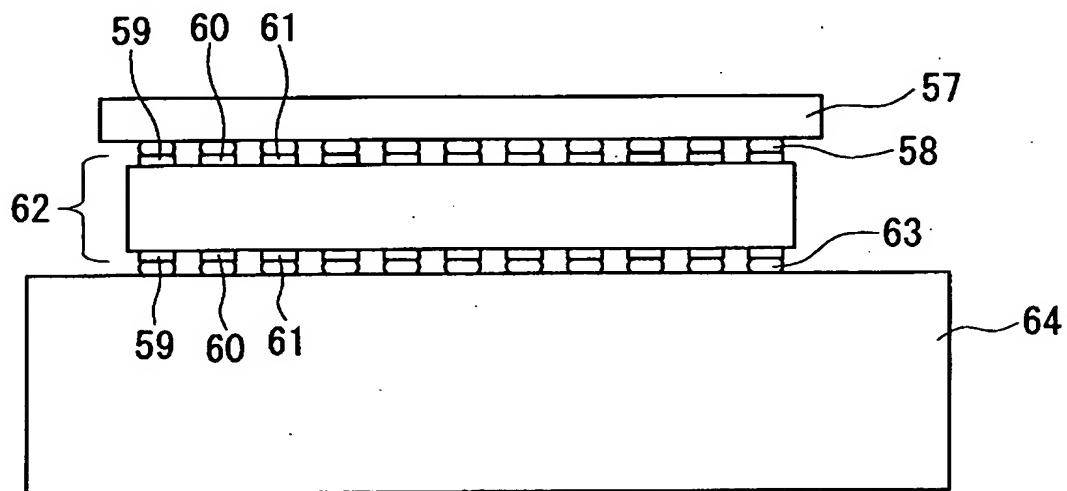
(b)



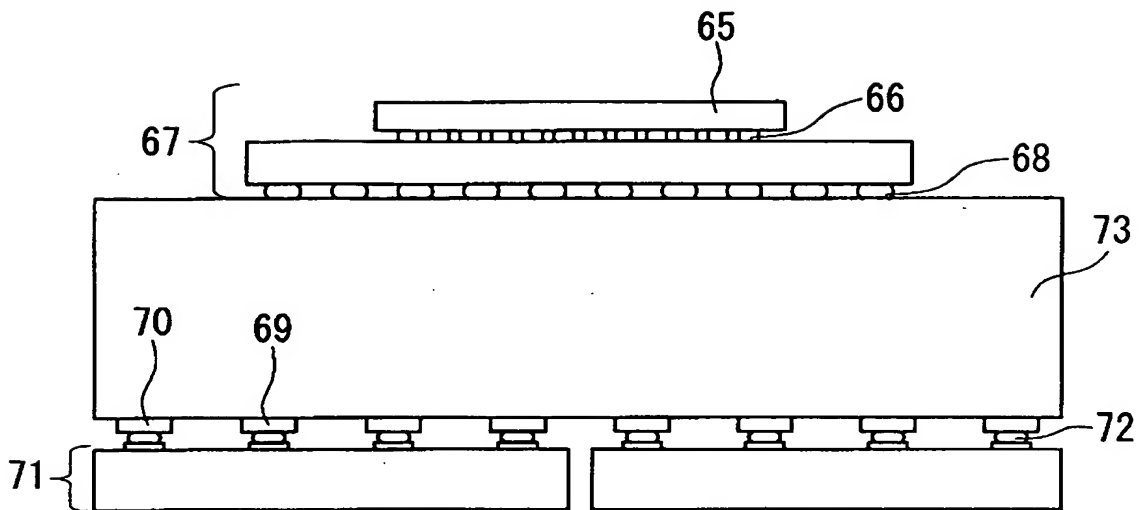
【図 1 0】



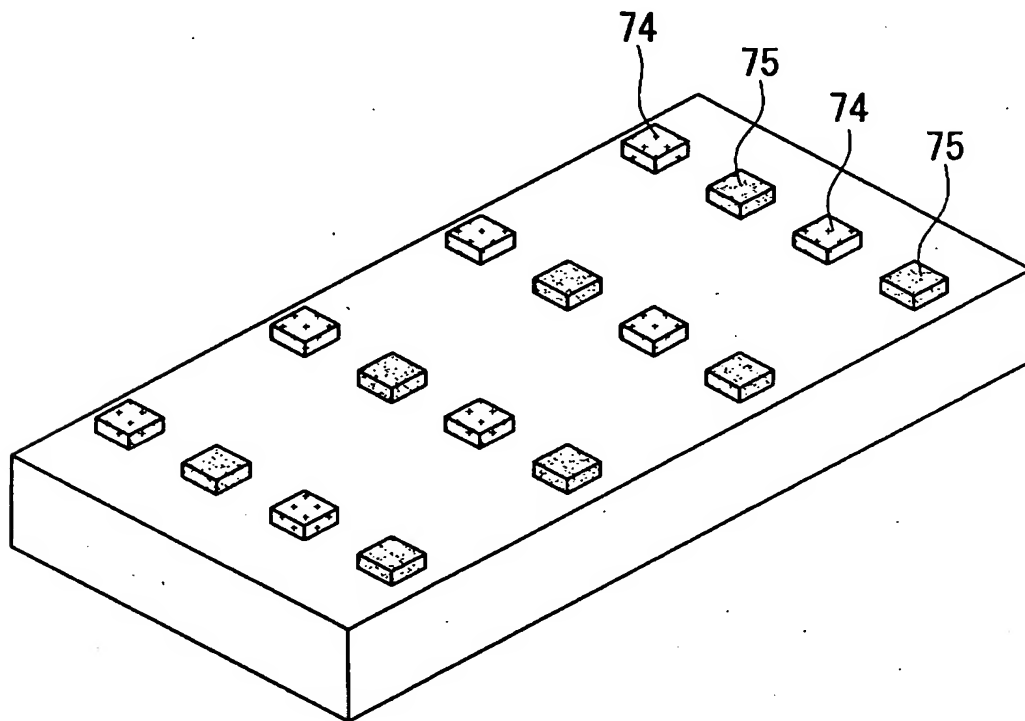
【図 1 1】



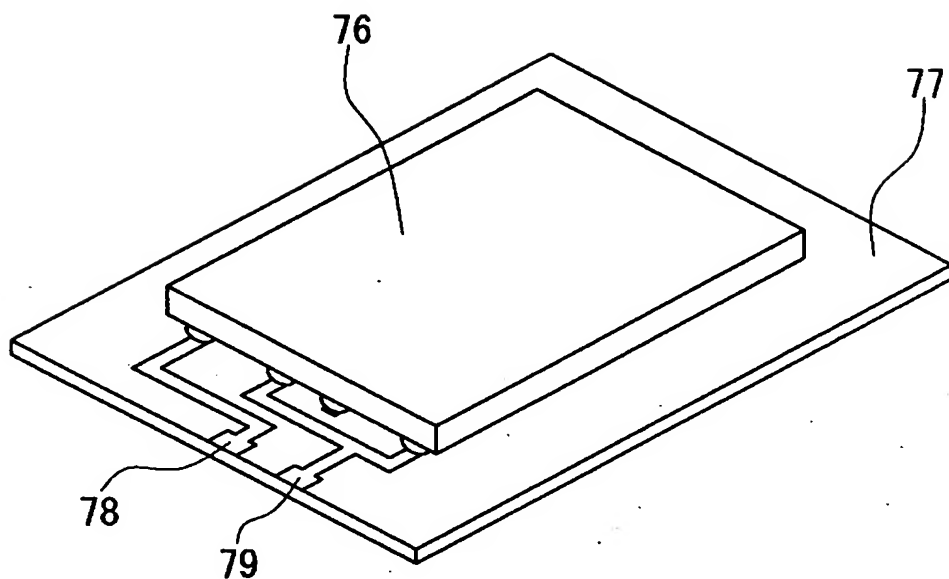
【図 1 2】



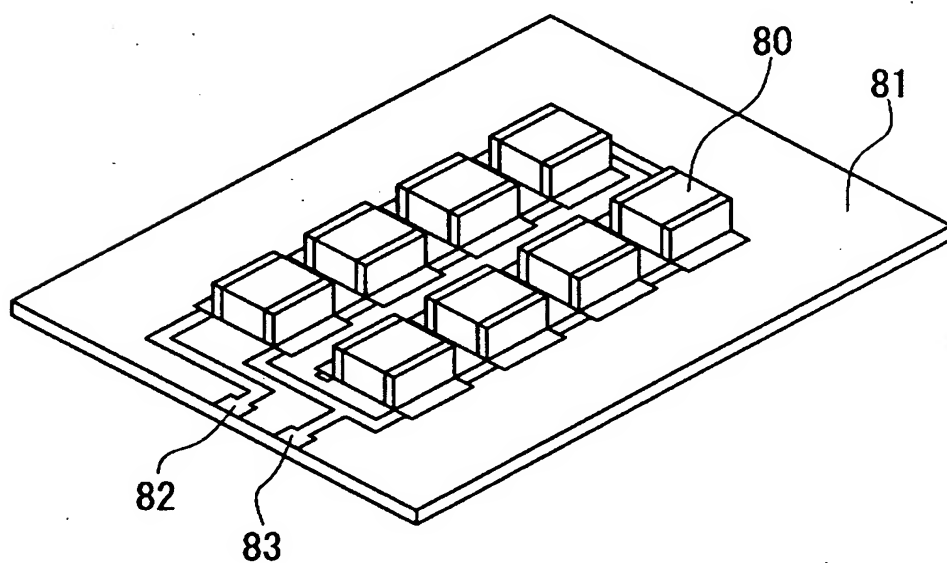
【図 1 3】



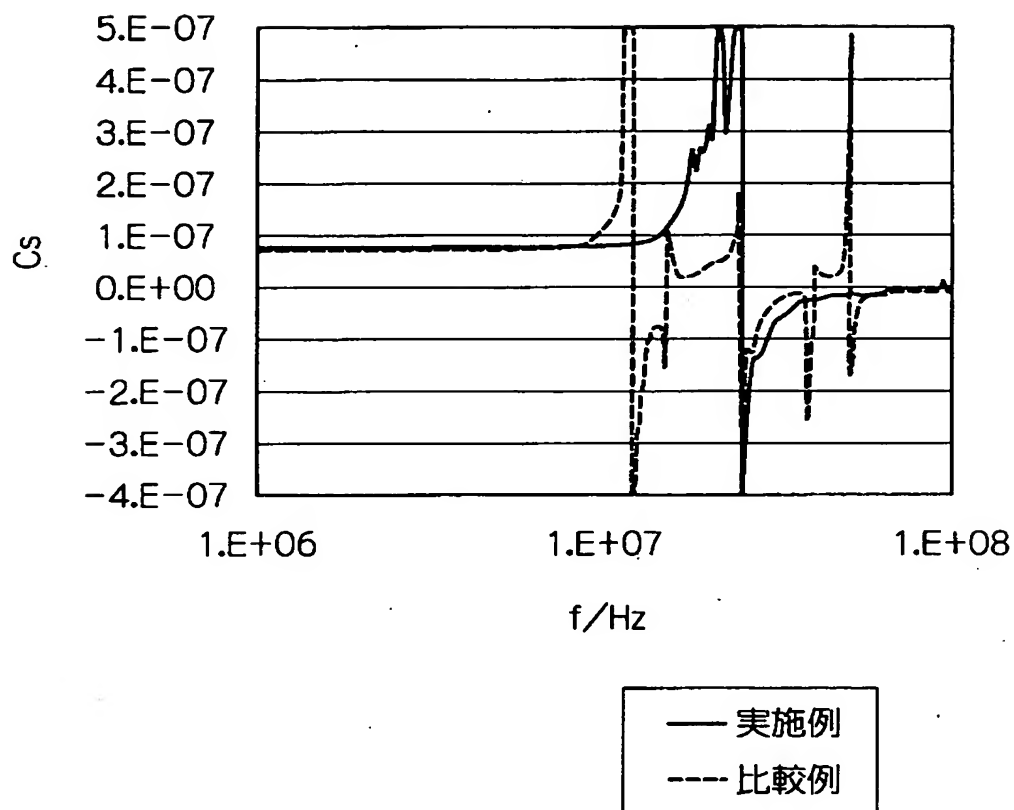
【図 1 4】



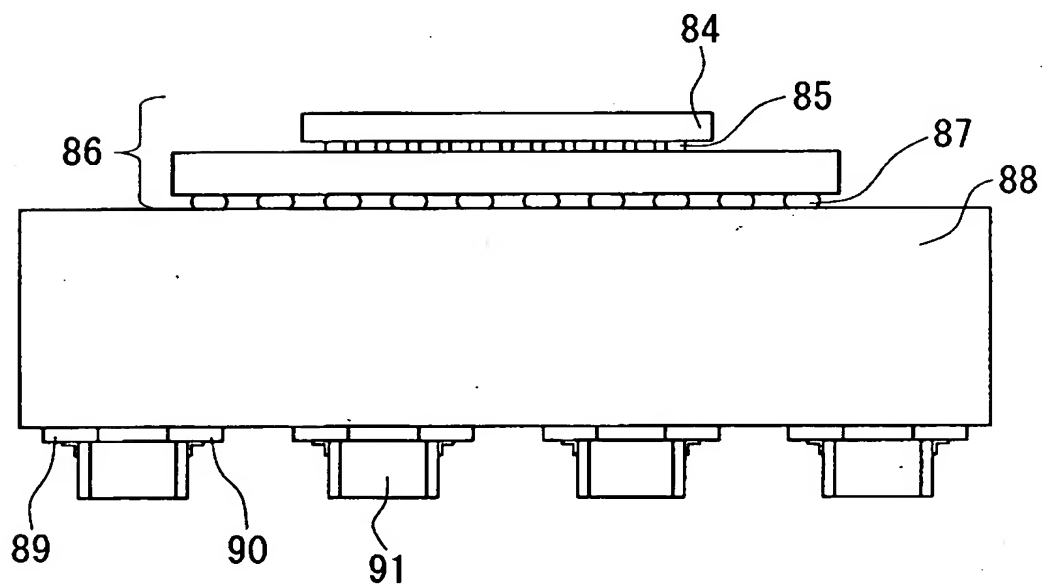
【図 1 5】



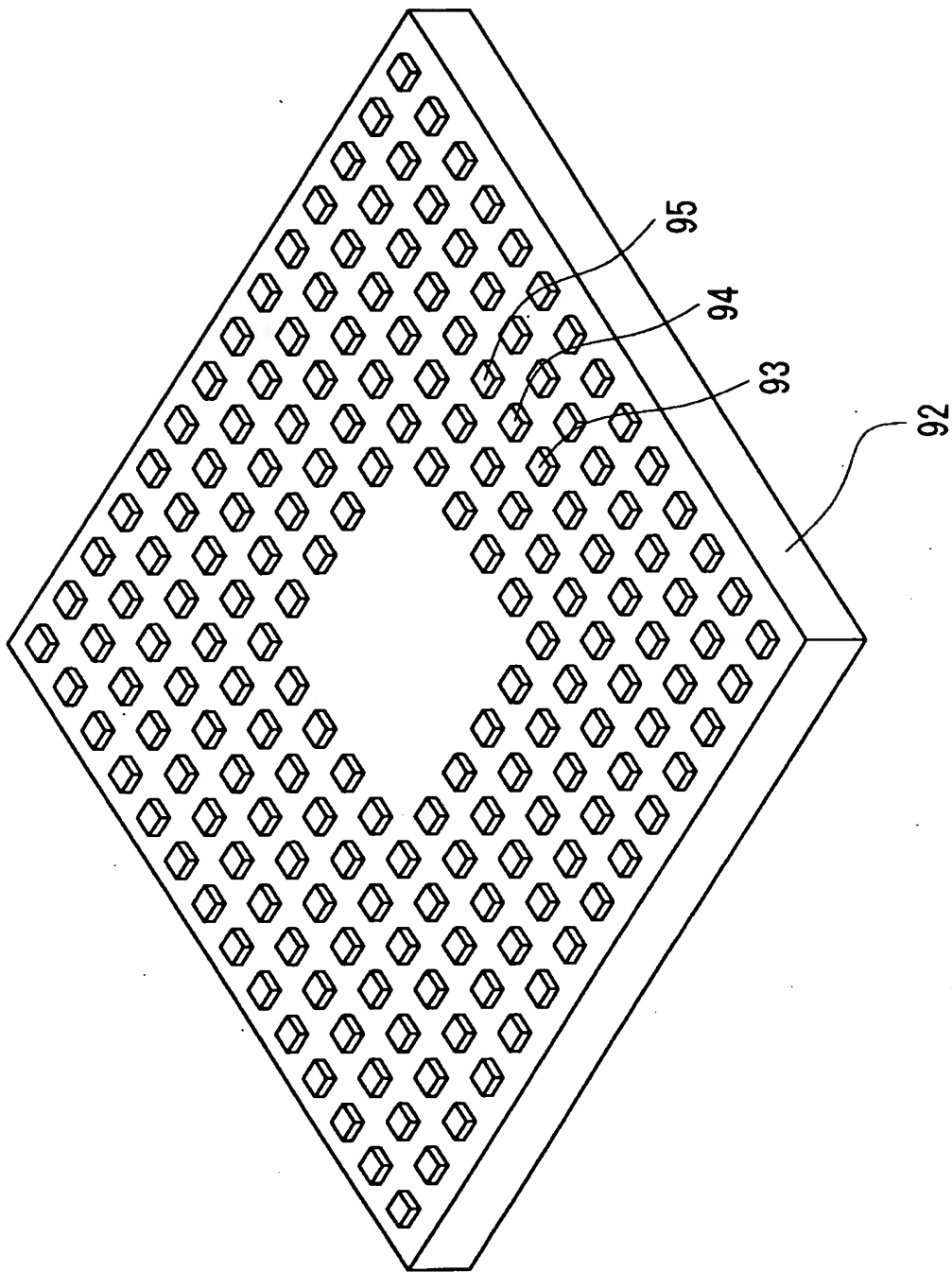
【図 1 6】



【図 1 7】



【図 1 8】



【書類名】 要約書

【要約】

【課題】 高速動作する L S I の周辺に配置され、L S I の負荷変動の際に生じる電圧降下を補償するデカップリングコンデンサ用として単位実装面積あたりの容量が高い積層コンデンサを提供する。

【解決手段】 本発明の積層コンデンサは、自己インダクタンスを低減するために、誘電体と内部電極が交互に積層された積層コンデンサにおいて、外部に接続する複数の端子電極が2つの底面の双方に設けられ、端子電極が2次元的に配列されており、内部電極はL S I の電源に電氣的に接続される層とL S I のグランドに電氣的に接続される層が交互に設けられ、L S I の電源に電氣的に接続される内部電極にビア電極を介して接続された端子電極とL S I のグランドに電氣的に接続される内部電極にビア電極を介して接続された端子電極が配列されている。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2001-056950
受付番号	50100292065
書類名	特許願
担当官	濱谷 よし子 1614
作成日	平成 13 年 3 月 8 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000004237
【住所又は居所】	東京都港区芝五丁目 7 番 1 号
【氏名又は名称】	日本電気株式会社

【代理人】

申請人

【識別番号】	100108578
【住所又は居所】	東京都新宿区高田馬場 3 丁目 23 番 3 号 ORビ ル 志賀国際特許事務所
【氏名又は名称】	高橋 詔男

【代理人】

【識別番号】	100064908
【住所又は居所】	東京都新宿区高田馬場 3 丁目 23 番 3 号 ORビ ル 志賀国際特許事務所
【氏名又は名称】	志賀 正武

【選任した代理人】

【識別番号】	100101465
【住所又は居所】	東京都新宿区高田馬場 3 丁目 23 番 3 号 ORビ ル 志賀国際特許事務所
【氏名又は名称】	青山 正和

【選任した代理人】

【識別番号】	100108453
【住所又は居所】	東京都新宿区高田馬場 3 丁目 23 番 3 号 ORビ ル 志賀国際特許事務所
【氏名又は名称】	村山 靖彦

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社